

Korean patent application No. 1998-030165

Korean publication No. 1999-014212

Title: CIRCUIT BOARD, METHOD OF FABRICATING THE SAME, AND
METHOD OF ELECTROLESS PLATING

Abstract

The present invention is to provide a circuit board, a method of fabricating the same, and a method of an electroless plating that can confirm a portion of a via hole from a surface of a substrate after forming a second conductor layer, and to uniformly control an electric charging so that reproducibility can be good in the via hole by the electroless plating.

The present invention is a specific circuit board and a method of the same obtained by applying a higher electric potential than an electric potential of the electroless plating to a surface of a conductor during charging the via hole by the electroless plating.

The circuit board according to the present invention is optically obtained as a distinguishable thing because it is different from a condition of a third conductor in the portion of the via hole and a concave pattern is only formed.

공개특허특1999-014212

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. ⁶
C23C 18/16(11) 공개번호 특1999-014212
(43) 공개일자 1999년02월25일(21) 출원번호 특1998-030165
(22) 출원일자 1998년07월27일(30) 우선권주장 97-2013991997년07월28일일본(JP)
(71) 출원인 가부시끼가이샤 히다찌 세이사쿠쇼 가나이 쓰도무
일본 도쿄도 지요다꾸 간다 스루가다이 4쵸메 6반지
(72) 발명자 이따바시 다께유키
일본 이바라끼켄 히다찌시 모리야마쵸 3-17-2-405
아까호시 하루오
일본 이바라끼켄 히다찌시 아시나사까쵸 1-14-31
(74) 대리인 장수길
주성민

심사청구 : 없음

(54) 배선판 및 그 제조 방법과 무전해 도금 방법

요약

본 발명은 무전해 도금에 의한 비아홀(viahole)에서의 충전물 재현성 좋게 균일하게 제어하고, 제2 도체층을 형성한 후, 기판 표면으로부터 비아홀 부분을 확인할 수 있는 배선판 및 그 제조 방법과, 무전해의 도금 방법을 제공하기 위한 것이다.

본 발명은 무전해 도금에 의한 비아홀 충전 시에, 표면 도체에 무전해 도금 전위보다도 높은 전위를 인가함으로써 얻어지는 특성의 배선판 및 그 방법에 있다.

본 발명의 배선판은 비아홀 부분에서 제3 도체와 표면 상태가 다르고, 또한 오목부(凹)만이 형성되어 광학적으로 식별가능한 것이 얻어진다.

대표도

도9

명세서

도면의 간단한 설명

도 1은 본 발명을 구멍 또는 홈으로의 금속의 충전에 적용하는 경우의 배치의 한예를 모식적으로 도시한 단면도.

도 2는 구멍 또는 홈 충전의 도중에 도금 반응을 정지시키는 경우의 배치의 일례를 모식적으로 도시한 단면도.

도 3은 피도금체의 표면에 무전해 도금에 의해 정해진 막두께의 도금을 행하는 경우의 배치의 일례를 모식적으로 도시한 도면.

도 4는 본 발명에 따른 배선판의 일례의 단면 모식도.

도 5는 본 발명에 따른 배선판의 다른 예의 단면 모식도.

도 6은 본 발명의 무전해 도금 방법의 프로세스를 도시한 단면 모식도.

도 7은 기판 상에 절연층과 도체층을 형성하는 프로세스의 다른 예를 도시한 설명도.

도 8은 무전해 도금 장치의 설명도.

도 9는 본 발명에 따른 박막 다층 배선 기판의 일례의 단면 모식도.

도 10은 본 발명의 비아 스터드(stud) 접속에 의한 박막 다층 기판의 모식 단면도.

도 11은 본 발명의 비아 스터드 접속형의 박막 2층 배선 기판의 제조 공정의 일례를 모식 단면도로 도시한 흐름도.

도 12는 본 발명의 박막 다층 배선 기판을 이용한 실장 구조체의 모식 단면도.

도 13은 본 발명에 따른 대형 전자 계산기용 기판의 실장예를 도시한 모식 단면도.

도면의 주요 부분에 대한 부호의 설명

1 : 절연재

2, 15, 37 : 비아홀

3, 22 : 제1 도체

4, 24 : 제2 도체

5 : 기판

6 : 에칭 레지스트

7, 26, 27 : 도체층

8 : 결선(結線)

9 : 외부 전원

10 : 참조전극

11 : 도금 탱크

12 : 무전해 도금액

21 : 절연 기판

23, 32 : 절연층

25 : 제3 도체

31 : 기판

33 : 비아 스터드

34 : 금속 배선층

35 : 접속용 스푸홀

36 : 레이저 마스크

38 : 에칭 마스크

39 : 제1 금속배선층

40 : 제2 금속배선층

41 : 레지스트

42 : Al막

43 : 랜드(land)

44 : LSI

- 45 : 세라믹스 기판
- 46 : 땀납 범프
- 47 : 복합 시트
- 48 : 접착층
- 49 : 폴리이미드 시트
- 50 : 구리 부착 복합 시트
- 51 : 대형 프린트 배선 기판
- 52 : 모듈 기판
- 53 : 접속 핀
- 54 : 박막 다층 배선 기판
- 55 : 스루홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 장치 등을 탑재하는 신규한 배선판 및 그 제조 방법에 관한 것으로, 특히 도체 배선의 층간 접속에 금속이 충전된 비아홀(viahole)을 갖는 배선판 및 그 형성 방법에 관한 것이다.

절연체에 형성된 구멍 내에 금속을 충전하는 기술은 LSI, 박막 다층 기판, 빌드업(build up) 기판 등의 고밀도 배선 기판의 층간 접속 기술에 응용되고 있다. LSI의 층간 접속에서는 도금 등의 웨트 메탈라이즈(wet metalize)가 아니라, 스퍼터링 또는 CVD(화학 기상 성장법)라고 하는 드라이(dry) 메탈라이즈법을 사용하고 있다. 예를 들면, 특개평 6-168907호 공보에는 스퍼터링법에 의해 알루미늄을 비아 내부에 충전하는 방법이 개시되어 있다. 또한, 특개평 8-31932호 공보에는 6불화 텅스텐 개스의 모노실란(mono silane) 환원 CVD법, 또는 수소 환원 CVD법으로 콘택트 홀 내에 텅스텐을 충전하는 방법이 개시되어 있다. 또한, 특개평 6-236879호 공보에는 유기 구리 화합물을 원료로 하여 CVD법에 의해 구리의 접속 플러그(plug)를 형성하는 방법이 개시되어 있다.

그러나, 이들은 어느것이나 드라이 메탈라이즈법이고, 진공계를 구비한 장치에서 처리하는 방법이기 때문에, 장치 비용이 비싸고, 또한 스루풋(throughput)이 저하된다고 하는 문제가 있다. 또한, 스퍼터링법 등의 소위 PVD법(물리 기상 성장법)은 성막의 선택성이 없이 기판 전체면에 한결같이 금속막을 형성시키는 방법으로, 층간 접속부만을 메탈라이즈하는 것은 불가능하다. 한편, CVD법으로 형성한 막은 불순물을 많이 함유하여 순도가 낮고 하는 문제가 있다. 순도의 저하는 전기 저항의 증대나 신뢰성의 저하를 초래하여 문제가 된다.

성막 다층 기판이나 빌드업 기판에서는 무전해 도금이나 전기 도금 기술을 이용하여 미소 비아홀을 충전하는 방법도 개시되어 있지만, 막두께의 컨트롤이 곤란하다. 예를 들면, 특개평 6-302965호 공보에서는 비아홀을 도금으로 충전하고 있다. 그러나 이 경우, 도금 두께의 컨트롤은 매우 곤란하기 때문에, 최종적으로 연마를 행하고 있다. 또한, 특개평 5-335713호 공보에도 전해 또는 무전해 도금에 의해 비아홀 내를 충전하는 방법이 개시되어 있다. 그러나, 이 방법에서는 먼저 무전해 도금에 의한 비아홀 충전은 불가능하다. 무전해 도금 반응은 비아홀 상층부의 표측 도체 단면에서도 진행되기 때문에, 시간과 함께 비아홀 개구부가 작아져서 막혀버리기 때문이다. 이 경우, 비아홀 내부에는 보이드 형상의 공간이 남아 기판의 신뢰성이 현저하게 저하한다.

또한, 전기 도금에 의한 경우에도 비아홀 저부에서 도금되어 온 금속이 비아홀 상층부의 표측 도체 단면에 접촉한 순간, 비아홀 상층부의 표측 도체 단면으로부터도 도금 반응이 진행되어 비아홀 지름이 표측 도체 두께의 2배 이하인 경우에는 비아홀 개구부는 막혀버린다. 이 경우도 또한, 비아홀 내부에는 보이드 형상의 공간이 남아, 기판의 신뢰성이 현저하게 저하하기 때문에 문제가 된다. 또한, 비아홀 지름이 표측 도체 두께의 2배 이상인 경우, 비아홀 개구부가 폐색(閉塞)되어 버리는 일은 없지만, 표측 도체 표면에 도달한 때의 도금 형상은 비아홀 내부를 도금하고 있을 때의 「원주 형상」이 아니라, 「버섯 형상」으로 되어 버린다. 이것은 도금 반응이 이방성을 나타내지 않고 등방적으로 성장하기 때문이다.

발명이 이루고자하는 기술적 과제

상술한 바와 같이, 드라이 메탈라이즈법으로 미소 구멍 내에 금속을 충전하는 경우에는 PVD법에서는 선택성이 없

고 연마 등의 공정이 필요하게 되기 때문에 공정이 복잡해지고, 또한 연마 시에 기판에 미치는 응력이 크기 때문에 수율이 저하하여 문제이다. CVD법에서는 원료에 금속 이외의 원소를 포함하는 화합물을 사용하기 때문에, 얻어지는 금속에 불순물이 많이 포함된다. 불순물 농도의 상승은 전기저항의 증가나 신뢰성의 저하 등의 특성 저하를 초래하여 문제이다. 드라이 메탈라이즈법 전체의 문제로서는 장치가 진공계를 갖기 때문에 장치 비용이 비싸고, 또한 스루풋이 낮다는 것을 들 수 있다.

한편, 웨트 메탈라이즈법에서 미소 구멍 내를 금속 충전하는 경우에는 상술한 바와 같이 전기 도금법과 무전해 도금법이 있지만, 전기 도금법에서는 하지(下地)의 도금에 필요한 전류를 공급하기 위한 급전층(給電層)이 필요하다. 전기 도금법의 경우, 제1 도전층은 미리 패터닝하지 않고, 급전층으로 하는 것이 필요하다. 따라서, 비아홀 내를 도금에 의해 충전한 후, 절연층을 박리(剝離)하여 제1 도전층의 패터닝을 행한다. 그 후, 다시 절연층을 형성하고 평탄화 및 비아홀 충전 금속의 두출(頭出)을 위해 연마를 행한다. 이 연마 공정은 장시간을 요하고, 또한 기판에 미치는 응력이 크기 때문에 수율의 저하를 초래하여 문제가 된다.

무전해 도금법을 이용하는 경우에는 도금 반응을 제1 도체층 표면으로부터만 진행시키서 비아홀 내를 도금 금속으로 충전한다. 이 경우, 절연층 표면의 제2 도체층은 비아홀 충전 후 형성할 필요가 있다. 왜냐하면, 도금 시에 제2 도체층이 미리 있으면 제2 도체층 표면으로부터 도금 반응이 진행하여 비아홀 개구부가 막혀버리기 때문이다. 제1 도체층 표면으로부터 도금 반응을 진행시켜 비아홀 내부를 도금 금속으로 충전하는 경우에는 도금 막두께의 컨트롤이 매우 곤란하다. 도금 막두께가 작은 경우에는 단선(斷線)으로 되고, 너무 두꺼운 경우에는 표면의 평탄성이 손상되어 다층화 시에 문제가 된다.

따라서, 종래 기술에서는 도금 막두께의 부족에 의한 단선을 회피하기 위해, 도금 막두께를 약간 두껍게 하여 절연층보다 도금 금속을 튀어 나오게 하고, 그 후 과잉 도금 부분을 연마하여 표면을 평탄화하는 방법으로 비아홀 내부를 금속 충전해 왔다. 그러나, 이 방법에서는 상술한 바와 같이 연마 공정은 장시간을 요하고, 또한 기판에 미치는 응력이 크기 때문에 수율의 저하를 초래한다.

본 발명의 목적은 비아홀 내를 금속 충전한 기판에서 다층화를 용이하게 행할 수 있도록 기판 표면에 비아홀 부분을 확인할 수 있는 배선판을 제공하기 위한 것이다.

또한, 본 발명의 제2 목적은 종래 막두께의 제어가 곤란했던 무전해 도금에 의한 비아홀 내도의 금속의 충전을 재현성 좋게 균일하게 행할 수 있는 배선판의 제조 방법을 제공하기 위한 것이다.

본 발명에 있어서는, 비아홀 내부를 무전해 도금에 의해 충전할 때, 표면 도체층에 무전해 도금 반응의 반응 전위보다도 높은 전위를 인가하면서 도금을 행한다. 무전해 도금은 비아홀 저부에서 위를 향하여 성장하고, 이윽고 비아홀을 완전하게 충전한다. 비아홀을 충전한 도금 금속이 표면 도체층에 도달했을 때, 표면 도체층에는 외부 전원에 의해 도금 반응 전위보다도 높은 전위가 인가되어 있기 때문에, 무전해 도금 반응은 정지한다. 이와 같이 하여, 모든 비아홀에서 도금 면이 표면 도체층에 도달했을 때 도금 반응을 정지시킬 수 있어, 종래에 매우 곤란했던 도금 막두께를 재현성 좋게 일정하게 컨트롤할 수 있다.

또한, 본 발명의 방법에 의해 제조된 배선판은 도금 금속에 의해 충전된 비아홀과 절연층의 표면을 함께 덮는 도체층을 형성한 후에 있어서도, 그 도체층의 표면을 관찰함으로써 비아홀부를 인식할 수 있다.

즉, 본 발명에 따른 배선판은 절연 기판 상에 제1 도체가 형성되고, 절연 기판 및 제1 도체 상에 절연층이 형성되며, 절연층 상에 제2 도체가 형성되고, 절연층에는 제1 도체와 제2 도체를 전기적으로 접속하기 위한 비아홀이 형성되며, 비아홀 내부가 제3 도체에 의해 충전된 구조의 도체 접속부를 갖고 있고, 제2 도체 표면과 제3 도체 표면을 함께 덮는 제4 도체를 갖고 있는 배선판에 있어서, 제3 도체의 표면 상태가 제2 도체와 다르므로써, 또는 제3 도체의 표면 상태가 제2 도체와 비아홀 충전 금속의 경계 영역 상에서 변화하고 있으므로써, 비아홀의 부분을 제4 도체의 표면 상태와 다르게 인식할 수 있는 것을 특징으로 한다.

제3 도체 상으로부터의 비아홀의 인식은, 예를 들면 현미경에 의한 육시(目視) 관찰, 반응열이나 광 척도의 차이를 이용하는 방법, 화상 해석 등의 광학적 방법에 의해 행할 수 있다.

또한, 본 발명에 따른 배선판은 절연 기판 상에 제1 도체가 형성되고, 절연 기판 및 제1 도체 상에 절연층이 형성되며, 절연층 상에 제2 도체가 형성되고, 절연층에는 제1 도체와 제2 도체를 전기적으로 접속하기 위한 비아홀이 형성되며, 비아홀 내부가 제3 도체 금속에 의해 충전된 구조의 도체 접속부를 갖고 있고, 제2 도체 표면과 제3 도체 금속의 표면을 함께 덮는 제4 도체를 갖고 있는 배선판에 있어서, 제4 도체가 제3 도체 상에서 오목(凹) 형상으로 형성되어 있는 것을 특징으로 한다.

또한, 본 발명에 따른 배선판은 절연 기판 상에 제1 도체가 형성되고, 절연 기판 및 제1 도체 상에 절연층이 형성되며, 절연층 상에 제2 도체가 형성되고, 절연층에는 제1 도체와 제2 도체를 전기적으로 접속하기 위한 비아홀이 형성되며, 비아홀 내부가 제3 도체 금속에 의해 충전된 구조의 도체 접속부를 갖고 있고, 제2 도체 표면과 상기 제3 도체 금속의 표면을 함께 덮는 제4 도체를 갖고 있는 배선판에 있어서, 제3 도체의 표면 거칠기보다도 상기 제4 도체의 표면 거칠기 쪽이 큰 것을 특징으로 한다.

또한, 본 발명에 따른 배선판은 절연 기판 상에 제1 도체가 형성되고, 절연 기판 및 제1 도체 상에 절연층이 형성되며, 절연층 상에 제2 도체가 형성되고, 절연층에는 제1 도체와 제2 도체를 전기적으로 접속하기 위한 비아홀이 형성되며, 비아홀 내부가 도체 금속에 의해 충전된 구조의 도체 접속부를 갖고 있고, 상기 제2 도체 표면과 제3 도체 표면을 함께 덮는 제4 도체를 갖고 있는 배선판에 있어서, 제3 도체가 상기 절연층의 높이와 동등한 높이를 갖는 것을 특징으로 한다.

또한, 본 발명은 절연 기판 상에 제1 도체를 갖고 있고, 절연 기판 및 제1 도체 상에 절연층을 갖고 있으며, 절연층 상에 제2 도체를 갖고 있고, 제1 도체와 제2 도체를 전기적으로 접속하기 위한 비아홀이 절연층을 관통하여 형성되어 있으며, 비아홀 내부에 무전해 금속이 충전되어 있는 배선판의 제조 방법에 있어서, 비아홀 내부에 무전해 도금에 의해 제3 도체를 충전할 때에 제2 도체에 도금 반응 전위보다도 높은 전위를 인가하고, 비아홀 저부의 제1 도체를 기점으로 무전해 도금 반응을 진행시켜 비아홀 내부를 도금 금속에 의해 충전하는 것을 특징으로 한다.

또한, 본 발명에 따른 배선판의 제조 방법은 표면에 제1 도체를 갖는 절연 기판 상에 절연층을 형성하는 공정과, 절연층 상에 제2 도체를 형성하는 공정과, 제2 도체에 패터닝을 행하는 공정과, 제2 도체를 마스크로 하여 제1 도체 상의 상기 절연층에 비아홀을 형성하는 공정과, 제2 도체에 도금 반응 전위보다도 높은 전위를 인가하면서 비아홀의 저부에 맞닿는 제1 도체 상에 무전해 도금에 의해 상기 비아홀 내부에 금속을 충전하여 제3 도체를 형성하는 공정을 포함하는 것을 특징으로 한다.

또한, 본 발명에 따른 배선판의 제조 방법은 표면에 제1 도체를 갖는 절연 기판 상에, 표면에 제2 도체를 갖는 필름 형상의 절연층을 적층하는 공정과, 제2 도체에 패터닝을 행하는 공정과, 제2 도체를 마스크로 하여 제1 도체 상의 상기 절연층에 비아홀을 형성하는 공정과, 제2 도체에 도금 반응 전위보다도 높은 전위를 인가하면서 비아홀의 저부에 맞닿는 제1 도체 상에 무전해 도금에 의해 비아홀 내부에 금속을 충전하여 제3 도체를 형성하는 공정을 포함하는 것을 특징으로 한다.

본 발명에 있어서는 상술한 바와 같이, 피도금체와 전기적으로 절연되고, 도금하고 싶은 두께만큼 떨어진 위치에 제2 도체를 설치하여, 제2 도체에 도금 반응 전위보다도 높은 전위를 인가하면서 무전해 도금을 행함으로써 상기 목적을 달성한다.

즉, 본 발명은 피도금체 표면에 제1 도체와 이 도체에 대해 전기적으로 절연된 제2 도체가 설치된 상기 제1 도체의 표면에 도체를 무전해 도금에 의해 퇴적시키는 무전해 도금 방법에 있어서, 상기 제2 도체에 도금 반응의 전위보다도 높은 전위를 인가하는 것을 특징으로 한다.

무전해 도금에 의해 미소 구멍 또는 홈 내로 소정량의 금속을 충전하는 경우에는 미리 미소 구멍 주변부 또는 홈 주변부의 절연층 표면에 있는 제2 도체에 외부 전원에 의해 도금 반응 전위보다도 높은 전위를 인가한다.

즉, 본 발명은 피도금체에 설치된 구멍 또는 홈을 갖고 있고, 상기 구멍 또는 홈의 주변에 제2 도체가 설치된 절연체에 대해 상기 제1 도체를 기점으로 무전해 도금 반응을 진행시켜서 상기 구멍 또는 홈 내에 금속을 충전하는 무전해 도금 방법에 있어서, 상기 제2 도체에 외부 전원에 의해 도금 반응 전위보다도 높은 전위를 인가하면서 무전해 도금 반응을 행하는 것을 특징으로 한다.

상기 제2 도체에 인가하는 전위는 도금 반응 전위에 대해 +0.1 ~ +1.5 볼트로 하는 것이 바람직하고, 더욱 바람직하게는 +0.4 ~ +0.7 볼트로 하는 것이 좋다.

본 발명에 의해 금속을 충전할 수 있는 미소 구멍의 전형예로서는 IC의 층간 접속부, 박막 다층 배선 기판이나 프린트 기판의 층간 접속부 등을 들 수 있지만, 그 이외에도 절연체에 형성한 임의의 비관통 구멍으로의 금속 충전에 적용할 수 있다. 또한, 금속을 충전하고 싶은 구멍을 갖는 절연체의 형상·재질은 특별히 상관없다. 또한, 본 발명을 적용할 수 있는 구조는 구멍만이 아니라 홈 형상이라도 좋고 배선 형성 공정에도 적용할 수 있다.

본 발명은 표면에 미세 배선 패턴이 형성된 절연층이 복수 적층된 다층 박막 배선 기판과 이 배선 기판의 적어도

한쪽 면에 반도체 소자가 탑재된 모듈에 있어서, 상기 배선 기판이 상술된 배선판으로 이루어지는 것을 특징으로 한다.

본 발명은 프린트 배선 기판 상에 접속 핀을 통해 접속된 모듈 기판이 탑재되고, 이 모듈 기판 상의 표면에 미세 배선 패턴이 형성된 절연층이 복수 적층된 다층 박막 배선 기판이 탑재되며, 이 배선 기판 상에 반도체 소자가 탑재되어 있는 대형 계산기 실장에 있어서, 상기 배선 기판이 상술된 배선판으로 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

실시에 A도 1은 본 발명을 구멍 또는 홈으로의 금속의 충전에 적용하는 경우의 배치의 일례를 모식적으로 도시한 단면도이다. 절연재(1)에는 구멍 또는 홈(2a, 2b)이 설치되고, 그 저면에는 금속층 등으로 이루어지는 제1 도체(3a, 3b)가 형성되어 있다. 또한, 절연재(1)의 표면에는 금속층 등에 의한 제2 도체(4)가 형성되어 있다. 이제, 구멍 또는 홈(2a, 2b)의 저면에 설치된 도체(3a, 3b)를 기점으로 한 무전해 도금에 의해 구멍 또는 홈(2a, 2b)의 내부를 금속으로 충전하고 제3 도체로 하기로 한다. 이때, 본 발명에서는 절연재(1)의 표면에 설치된 제2 도체(4)에 도금 반응 전위보다 높은 전위를 인가하면서 무전해 도금을 행한다.

도금 반응 전위보다 높은 전위의 인가는 무전해 도금액 중에 침지된 참조전극(10)의 전위를 기준으로 하여 제2 도체(4)로 외부 전원(9)에 의해 소정의 전위를 인가함으로써 행한다. 외부전원(9)은 결선(8)에 의해 제2 도체(4)와 접속된다. 이와 같이 하여 무전해 도금을 행하면, 구멍 또는 홈(2a, 2b)의 저면에 설치된 제1 도체(3a, 3b)를 기점으로 하여 진행되는 제3 도체의 무전해 도금은 도금 두께가 점차 증가하고, 구멍 또는 홈(2a, 2b)을 충전하여 행하는 도금 금속의 상단이 제2 도체(4)에 접촉된 시점에서 도금 반응이 정지하여, 그 이상 도금 두께가 증가하지 않는다. 이것은 도 1에 도시한 바와 같이 깊이가 다른 구멍 또는 홈(2a, 2b)이 혼재하는 경우에도 동일하다.

즉, 깊이가 얇은 구멍 또는 홈(2a)을 충전하는 도금 금속은 비교적 단시간에 제2 도체(4)에 접촉하는 두께로 되고, 도금 금속의 일부가 제2 도체(4)에 접촉한 시점에서 구멍 또는 홈(2a)의 충전을 종료한다. 한편, 보다 깊은 구멍 또는 홈(2b)을 충전하는 도금 금속은 제2 도체(4)에 도달할 때까지 비교적 긴 시간을 요한다. 그러나, 깊은 구멍 또는 홈(2b)을 충전하는 무전해 도금 반응은 얇은 구멍 또는 홈(2a)을 충전하는 무전해 도금 반응이 종료한 후에도 그 구멍 또는 홈(2b)을 충전하는 도금 금속이 제2 도체(4)에 접촉할 때까지 계속된다. 이리하여, 절연재(1)에 깊이가 다른 복수의 구멍 또는 홈(2a, 2b)이 랜덤하게 설치되어 있는 경우라도 모든 구멍 또는 홈을 도금 금속으로 제2 도체(4)의 높이까지 균일하게 충전하는 것이 가능해진다.

또한, 외부 전원(9)에서 전압을 인가하는 제2 도체는 무전해 도금에 의해 충전하는 구멍 또는 홈의 상단이 아니라 구멍 또는 홈의 깊이 방향의 중간에 설치할 수도 있다. 이때 제2 도체를 배치하는 위치 즉 무전해 도금의 기점이 되는 도체로부터의 높이를 조정함으로써, 무전해 도금 반응을 정지시키는 위치를 임의로 컨트롤할 수 있어 도금 막 두께를 임의로 제어하는 것이 가능하다.

도 2는 저면에 무전해 도금의 기점이 되는 제1 도체(3a, 3b)를 갖는 구멍 또는 홈(2a, 2b)의 깊이 방향의 중간에 제2 도체(4)를 설치하고, 구멍 또는 홈 충전의 도중에 도금 반응을 정지시키는 경우의 배치의 일례를 모식적으로 도시한 단면도이다. 도 1의 배치와 다른 것은 도금 반응 전위보다 높은 전위를 인가하는 제2 도체(4)를 절연재(1)의 표면이 아니라 절연재(1)의 내부에 설치한 점이다.

제2 도체(4)는 그 단면이 절연재(1)에 설치한 구멍 또는 홈(2a, 2b)의 측면에 노출되어 있다. 이 경우에는 절연재(1)에 설치된 깊이가 다른 구멍 또는 홈(2a, 2b)의 전체를 도금 금속으로 제2 도체(4)의 깊이까지 균일하게 충전하고, 제3 도체로 하는 것이 가능해진다.

또한, 제2 도체는 피도금체로부터 떨어진 도금액 중에 있어도 좋다. 이와 같이, 본 발명은 절연재에 설치된 구멍 또는 홈만이 아니라, 평면 형태의 피도금체 표면에 무전해 도금을 행할 때에도 적용 가능하다. 이 제2 도체를 설치하는 위치를 컨트롤함으로써, 피도금체에 행하는 도금 막두께를 임의로 제어할 수 있다.

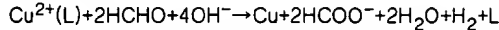
도 3은 피도금체의 표면에 무전해 도금에 의해 정해진 막두께의 도금을 행하는 경우의 배치의 일례를 모식적으로 도시한 도면이다. 외부전원(9)에 의해 도금 반응 전위보다 높은 전위로 된 제2 도체(4)는 표면에 무전해 도금 반응의 기점이 되는 제1 도체(3)를 갖는 피도금체(1)로부터 거리 h만큼 떨어진 도금액 중에 고정되어 있다. 피도금체(1)는 도시한 바와 같은 평판 등의 평탄한 물체에 한정되지 않고, 연속한 표면을 가진 물체라도 좋다. 예를 들면, 피도금체(1)는 구형상이나 통(筒)형상이어도 좋고, 어느 형상으로 가공된 성형체이어도 좋다. 이와 같은 배치로 무전해 도금을 행하면, 도금 반응은 피도금체(1)의 제1 도체(3) 상에 형성되는 금속이 제2 도체(4)에 접촉한 시점에서 정지하기 때문에 피도금체(i)에 두께 h의 균일한 도금막을 형성할 수 있다.

이와 같이, 본 발명은 무전해 도금을 할 때, 모든 형태의 피도금체에 적용가능하고, 도금 반응 전위보다 높은 전위를 인가하는 제2 도체의 설치위치를 어떠한 방법으로 조정함으로써, 도금 막두께를 임의로 컨트롤 할 수 있는 것

이다.

다음에, 본 발명의 원리에 대해 무전해 도금을 예로 들어 설명한다. 무전해 구리 도금 반응은 다음의 반응식(화학식 1)로 표시할 수 있다.

[화학식 1]



여기에서, L은 구리와 착체(錯體)를 형성하는 착형성제(錯形成劑)이고, 에틸렌디아민4초산(EDTA)이 이용되는 경우가 많다. 이 반응은 구리나 팔라듐 등의 금속 상에서 선택적으로 진행하지만, 그것은 그들의 금속이 포름알데히드의 산화 반응에 대해 촉매 활성을 나타내기 때문이라고 일컬어지고 있다. 포름알데히드는 산화될 때, 전자를 방출하고, 그 전자를 수취한 구리 이온은 금속 구리로 환원되어 석출된다. 구리의 석출 반응은 포화 칼로멜(calomel) 전극(SCE)을 기준으로 하여 실온에서 약 -0.8V보다 낮은 전위(마이너스 전위)로 진행한다. 따라서, 포름알데히드의 산화 반응과, 구리 이온의 환원 석출 반응이 동시에 진행되는 무전해 구리 도금 반응에서는 피도금체의 표면 전위는 실온에서는 -0.8V(vs.SCE)보다 낮은 전위로 되어 있다. 실제로 도금을 행하는 경우에는 도금의 석출 속도를 확보하기 위해, 도금액을 따뜻하게 하여 약 60~80℃ 정도로 사용하는 경우가 많고, 그 경우에는 전위는 다르지만 원리적으로는 동일하다. 약 70℃로 도금하는 경우에는 피도금체의 전위는 약 -0.75V(vs.SCE)로 실측(實測)된다.

무전해 도금 반응으로 구리 이온이 환원되어 석출되기 위해서는 상술한 바와 같이 실온에서는 -0.8V(vs.SCE)(70℃에서는 -0.75V(vs.SCE))보다 낮은 전위인 것이 필요하지만, 어떠한 방법으로 피도금체의 전위를 구리 이온이 환원되는 전위보다도 높은 전위, 즉 -0.8V(vs.SCE)(70℃에서는 -0.75V(vs.SCE))보다도 플러스측으로 하면, 도금 반응은 정지하게 된다. 임의의 도금 막두께로 된 시점에서, 외부에서 전위를 인가하고, 상술한 바와 같이 금속 이온의 환원 전위보다 높은 전위를 피도금면에 인가함으로써 도금 반응을 정지시킬 수 있는 것이다.

도금 반응의 정지에 필요한 전위는 도금계에 따라 다르다고 생각되지만, 그 범위는 일반적으로 도금 반응이 진행하고 있는 피도금체의 전위에 대해 +0.1~+1.5 볼트가 좋다. +0.1 볼트보다 작은 전위에서는 그 효과가 충분하게 나타나지 않고, 도금 반응이 정지하지 않는 경우가 있다. 또한, +1.5 볼트보다 큰 전위에서는 전위를 인가하고 있는 제2 도체층이 산화되어 버리기 때문에 바람직하지 않다. 제2 도체층의 재질에도 의존하지만, 산화되었을 때 부도체층을 형성하거나 또는 도금액 중에 산화 용해해버리는 경우가 있다. 발명자들의 검토에 따르면, 도금 반응 전위에 대해 +0.1~+1.5 볼트 범위의 전위를 인가함으로써 도금 반응을 정지시킬 수 있지만, 인가 전위를 +0.4~+0.7 볼트의 범위로 함으로써 가장 양호한 결과가 얻어지고 있다고 한다.

기판에 절연층을 형성하고, 비아홀을 통해 배선을 순차 형성해 가는 빌드업법으로 형성한 배선판에서는 통상 비아홀 접속이기 때문에 도체 형성 후에도 비아홀에 구멍이 있다. 이것은 배선의 고밀도화에 불리하다. 이것은 도금법에서도, 스퍼터링 등의 드라이 메탈라이즈법에서도 마찬가지이다. 그래서, 무전해 도금법에 의해 비아홀 내부를 완전하게 충전하는 방법이 고밀도화에 유리하다고 생각되지만, 도금 막두께 제어가 곤란하기 때문에, 계속해서 연마 공정이 필요하게 된다. 연마 공정을 거쳐, 비아홀 표면과 절연층 표면을 덮도록 형성한 도체층에서는 외관으로부터 비아홀의 위치를 확인할 수 없기 때문에 배선 패턴의 위치 맞춤이 불가능하게 된다.

본 발명에서는 비아홀 표면과 절연층 표면을 덮도록 형성한 도체층 표면으로부터 비아홀의 위치가 인식 가능하고, 하층 비아홀의 바로 위에 상층의 비아홀이 형성 가능한 배선판을 찾아냈다. 그 배선판의 형태를 도 4 및 도 5의 단면도로 도시한다.

도 4에 도시한 배선판은 표면에 제1 도체(22)를 갖는 절연 기판(21) 상의 절연층(23)에 비아홀을 형성하고, 절연층(23) 상의 제2 도체(24)에 도금 반응 전위보다도 높은 전위를 인가하면서 비아홀 저부의 제1 도체(22)를 기점으로 무전해 도금 반응을 진행시킴으로써 비아홀 내부를 도금 금속에 의해 충전하고, 제3 도체(25)를 형성하여, 그 위에 제4 도체(26)를 형성한 것이다. 제2 도체(24)와 제4 도체(26)은 동일 금속이어도 다른 금속이어도 좋다.

도 4의 구조의 배선판의 경우, 상면으로부터 배선판을 관찰하면, 절연층(23)의 상면에 형성한 제4 도체(26) 표면에 약간의 요철(凹凸)이 있는 것을 알 수 있다. 이 오목부(凹)만의 부분은 도금 금속으로 충전된 제3 도체(25)의 비아홀부에 상당하고, 도체층의 패턴닝용의 마스크와 위치맞춤을 할 수 있다. 이 요철(凹凸)은 제2 도체(24)가 매우 얇은 경우, 또는 제4 도체(26)가 두꺼운 경우에는 작아져서 인식하기 어려워진다. 그러나, 그 경우에도 비아홀 내부를 충전한 제3 도체(25)의 표면을 연마하지 않기 때문에, 제4 도체(26)를 형성한 후, 비아홀부와 그 이외에서는 표면의 거칠기가 달라져 있다. 따라서, 배선판 상면으로부터의 관찰로 비아홀부를 인식할 수 있다.

도 5에 도시한 배선판은 도 4에 도시한 배선판과 마찬가지로 하여 비아홀 내부를 도금 금속으로 충전하여 제3 도체(25)를 형성한 뒤, 절연층(23) 상의 도체(24)(도 4 참조)를 에칭 등에 의해 일단 제거하고, 그 다음 도체층(27)을 전체면에 형성한 것이다. 도 5에 도시한 구조의 배선판의 경우에도 그 표면 거칠기로부터 비아홀부를 인식할 수 있다.

상술한 바와 같이, 본 발명을 적용할 수 있는 피도금체 및 그 구조는 여러가지로 나누어지지만, 여기에서는 다층 배선 기판에 설치된 미소 구멍 내로의 금속 충전에 본 발명을 적용한 경우에 대해 설명한다. 기판에 절연층을 형성하고, 미소 구멍을 통해 배선을 순차 형성해 가는 빌드업 기판에서는 배선의 고밀도화를 위해 미소 구멍에 의한 층간 접속 기술의 확립이 필요 불가결하다. 특히 필요한 층간만 접속하는 편측 폐색 타입의 비관통 구멍(비아홀)에 의한 층간 접속이 중요하다. 비아홀의 형성 방법으로는 엑시머 레이저나 탄산 가스 레이저 등의 레이저 기공에 의한 방법, 절연층에 감광성 수지를 사용하여 사진법으로 형성하는 방법, 에칭성 플라즈마를 사용하는 드라이 에칭법 등이 있다. 배선판의 고밀도 배선을 달성하기 위해서는 배선편의 미소화는 물론이지만, 층간 접속을 위해 필요로 되는 패드 면적을 작게 하는 것도 중요하다. 패드 면적의 미소화에는 비아홀 내부를 금속 충전하는 방법이 유효하지만, 상술한 바와 같이 드라이 메탈라이즈법, 웨트 메탈라이즈법 어느것도 현상태의 기술에서는 곤란하다.

빌드업 기판에서, 무전해 도금에 의한 비아홀 내부로의 금속 충전에 본 발명을 적용하는 경우의 예를 이하에 기재한다.

도 6에 도시한 프로세스에 따라 설명한다. 기판(5)은 도 6의(a)에 도시한 바와 같이, 표면에 제1 도체(3)를 갖는다. 그 기판(5)의 표면에 도 6의(b)에 도시한 바와 같이 절연층(1)을 형성한다. 다음에, 도 6의(c)에 도시한 바와 같이 절연층(1)의 표면에 제2 도체(4)를 형성한다. 제2 도체(4)의 형성은 스퍼터링나 증착 등의 드라이 메탈라이즈법에 의해서도 또는 무전해 도금이나 전기 도금의 웨트 메탈라이즈법에 의해서도 좋다. 호일(foil) 형상의 금속 막을 열압착이나 접착재를 통해 접착해도 좋고, 또는 도 7에 도시한 바와 같이 미리 표면에 금속막(14)을 갖는 필름 형상의 절연층(B로 표시)을 표면에 제1 도체(3)가 형성된 기판(5)(A로 표시) 상에 적층해도 좋다.

다음에, 도 6의(d)에 도시한 바와 같이, 제2 도체(4) 상에 감광성 레지스트(6)를 형성하고, 사진법에 의해 패턴을 형성한다. 이 패턴은 절연층(1)에 비아홀을 형성하고 싶은 부분만 제2 도체(4)를 에칭할 수 있게 형성한다. 그 후, 도 6의(e)에 도시한 바와 같이, 에칭을 행하여 제2 도체(4)를 패턴닝하고, 필요하다면 레지스트를 박리한다. 다음에, 도 6의(f)에 도시한 바와 같이, 레이저 또는 플라즈마에 의해 제2 도체(4)를 마스크로 하여 절연층(1)에 비아홀(2)을 형성한다. 비아홀(2)이 제1 도체(3) 표면에 도달한 때에 비아홀 가공을 종료한다.

다음에, 세정 후, 도 8에 도시한 바와 같이, 기판 C를 도금 탱크(11) 안의 무전해 도금액(12) 중에 침지시키고, 비아홀(2) 저부의 제1 도체(3) 표면을 기점으로 하여 무전해 도금을 행한다. 이 무전해 도금 공정에서 기판 표면의 제2 도체(4)에 외부 전원(포텐시오스탯(potentiostat))(9)에 의해 무전해 도금 반응의 반응 전위보다 높은 전위를 인가한다. 구체적으로는, 예를 들면 무전해 도금에서는 도금 온도 70℃에서의 무전해 구리 도금 반응의 반응 전위는 약 -750~-800 mV(vs.SCE)이므로, 제2 도체(4)가 -300 mV(vs.SCE) 정도로 되도록 외부전원(9)에 의해 결선(8)을 통해 전위를 인가한다.

이 예는 참조전극(10)의 SCE(포화 칼로멜 전극)에 대해 전위를 인가하는 경우이지만, 물론 참조전극(10)은 SCE에 한정되지 않는다. 또한, 참조전극을 이용하지 않고, 무전해 도금 반응이 진행되고 있는 다른 기판에 대해 제2 도체(4)의 전위를 외부전원에 의해 예를 들면 약 500mV 정도 플러스 측에 인가해도 좋다. 이 경우, 전위를 인가하는 기준이 되는 다른 기판의 표면적은 제2 도체(4)의 표면적에 비해 충분히 큰 것이 바람직하다.

무전해 도금은 비아홀(2)의 저부에서 위를 향하여 성장하여, 이윽고 비아홀을 완전하게 충전한다. 비아홀을 충전한 도금 금속이 제2 도체(4)에 도달했을 때, 제2 도체(4)에는 외부전원(9)에 의해 도금 반응 전위보다도 높은 전위가 인가되기 때문에 무전해 도금 반응은 정지한다.

이와 같이, 비아홀(2)의 내부를 무전해 도금에 의해 충전할 때, 제2 도체(4)에 무전해 도금 반응의 반응 전위보다도 높은 전위를 인가하면서 행함으로써, 모든 비아홀(2)에서 도금면이 도체(4)에 도달했을 때 도금 반응을 정지시킬 수 있고, 종래 매우 곤란했던 도금 막 두께의 컨트롤을 재현성 좋게 행할 수 있다.

무전해 도금에 의한 비아홀 충전 후, 비아홀 충전 금속으로 이루어지는 제3 도체(25)와 제2 도체(4)의 전기적인 접속의 신뢰성을 향상시키기 위해, 도 9에 도시한 바와 같이 도체층(7)을 더 형성한다. 도체층(7)은 무전해 도금, 전기 도금, 드라이 메탈라이즈 등, 어느 방법으로 형성해도 좋다. 또한, 제2 도체(4)를 에칭 등에 의해 일단 제거하고 그 다음 도체층(7)을 전체면에 형성해도 좋다.

제1 도체(3), 제2 도체(4), 도체층(7), 비아홀 충전 금속(25)은 동일 금속이어도 동일하지 않아도 좋다. 또한, 각각의 도체는 단일 금속이어도 다중 금속의 다층 구조 도체나 합금이어도 좋다.

제1 도체(3)로서는 구리, 니켈, 은, 금, 백금, 아연, 팔라듐, 로듐, 텅스텐, 크롬, 티탄, 코발트가 바람직하고, 전기 저항이 작은 구리, 은, 금이 특히 바람직하다. 또한, 제1 도체(3)과 하지 기판이나 절연층 등의 각 계면의 접착성 등을 고려하여 다층구조나 합금으로 해도 좋다. 본 발명에서 제1 도체(3)은 비아홀을 충전하기 위한 무전해 도금 반응의 기점이 되므로, 당해 무전해 도금 반응에 대한 활성을 나타내는 금속이 표면에 존재하거나, 또는 에칭 등 어떠한 처리에 의해 표면에 노출 또는 석출시킬 수 있는 것이 필요하다. 이와 반대로, 그 이외의 제약은 없다.

제2 도체(4)로서는 구리, 니켈, 은, 금, 백금, 팔라듐, 로듐, 텅스텐, 크롬, 티탄, 알루미늄, 코발트, 철이 좋지만, 역시 전기저항이 작은 구리, 은, 금이 특히 바람직하다. 또한, 절연층이나 제1 도체(3)의 접착성을 고려하여 다층 구조나 합금으로 해도 좋다.

제4 도체(7)로서는 구리, 니켈, 은, 금, 백금, 팔라듐, 로듐, 텅스텐, 크롬, 티탄, 코발트기 비합금이고, 전기저항이 작은 구리, 은, 금이 특히 바람직하다. 또한, 도체(4)나 절연층 등과의 계면의 접착성 등을 고려하여 다층 구조나 합금으로 해도 좋다.

비아홀 충전 금속으로서는 무전해 도금 가능한 금속이면 어느것이라도 좋고, 예를 들면 구리, 니켈, 은, 금, 팔라듐, 텅스텐, 코발트가 사용가능하다. 니켈의 경우는 환원제의 종류에 따라 인 또는 붕소와의 합금으로 된다.

〈실시예 D〉 이하, 본 발명의 실시예에 대해 서술한다. 단, 여기에서 서술하는 절연재료의 형상, 제질이나 도체 금속의 종류 등은 어디까지나 본 발명을 설명하기 위한 일례에 지나지 않고, 이것에 의해 본 발명을 제한하는 것은 아니다.

이하의 기판 및 처리액을 준비했다.

- (1) 기판 A글래스 에폭시 기재 상의 편면에 두께 18 μ m의 구리박(箔)을 갖는 구리 부착 적층판.
- (2) 기판 B글래스 에폭시 기재 상에 두께 18 μ m의 동박을 갖는 구리 부착 적층판 표면에 에칭 레지스트를 형성하고, 에칭에 의해 구리 패턴을 형성했다. 그 후, 기판을 산화처리액 중에 침지하여 화학적 기상 처리에 의해 구리 표면을 거칠게 한 기판.
- (3) 기판 C세라믹 그린 시트 표면에 텅스텐 페이스트를 소정의 패턴으로 스크린 인쇄하여 15층 적층하고, 동시 소성한 세라믹 배선 기판.
- (4) 기판 D세라믹 그린 시트 표면에 구리 페이스트를 소정의 패턴으로 스크린 인쇄하여 15층 적층하고, 동시 소성한 세라믹 배선 기판.
- (5) 기판 E폴리이미드 표면에 스퍼터링에 의해 크롬을 두께 0.05 μ m, 다음에 구리를 두께 5.0 μ m, 또 크롬을 두께 0.05 μ m 형성한 후, 표면에 에칭 레지스트를 형성하고, 에칭에 의해 크롬/구리/크롬의 3층 도체 패턴을 형성한 기판.
- (6) 기판 F폴리이미드 표면에 스퍼터링에 의해 티탄을 두께 0.05 μ m, 다음에 구리를 두께 5.0 μ m, 또 티탄을 두께 0.05 μ m 형성한 후, 표면에 에칭 레지스트를 형성하고, 에칭에 의해 티탄/구리/티탄의 3층 도체 패턴을 형성한 기판.
- (7) 기판 G표면에 패턴닝된 구리를 갖는 글래스 기판.
- (8) 기판 H표면에 패턴닝된 니켈을 갖는 글래스 기판.
- (9) 기판 I표면에 패턴닝된 구리/니켈/금의 3층 도체 패턴을 갖는 글래스 에폭시 기판.
- (10) 기판 J표면에 은 페이스트를 스크린 인쇄하여 가열 경화한, 패턴닝된 은을 갖는 글래스 에폭시 기판.
- (11) 기판 K표면에 패턴닝된 알루미늄 전극을 갖고, 이 전극 표면을 아연 처리(아연산염(zincate) 처리)한 실리콘 웨이퍼.
- (12) 기판 L표면에 패턴닝된 텅스텐을 갖는 실리콘 웨이퍼.
- (13) 기판 M표면에 패턴닝된 티탄을 갖는 실리콘 웨이퍼.
- (14) 산화처리액아염소산나트륨 1.0 mol/l
인산나트륨 0.1 mol/l
수산화나트륨 0.4 mol/l
액온 70℃(15) 무전해 Ni-P 도금액황산니켈 0.08 mol/l

유산(乳酸) 0.3 mol/l

프로피온산 0.03 mol/l

차이인산 나트륨 0.2 mol/l

pH 5.0

액온 90℃(16) 무전해 구리 도금액황산구리 0.04 mol/l

에틸렌디아민4초산2나트륨 0.1 mol/l

포름알데히드 0.03 mol/l

수산화나트륨 0.1 mol/l

2, 2'-비피리딜 0.002 mol/l

폴리에틸렌글리콜(평균분자량 600) 0.03 mol/l

pH 12.8

액온 70℃(17) 무전해 코발트 도금액황산코발트 0.05 mol/l

에틸렌디아민 0.4 mol/l

로셀 염 0.05 mol/l

수산화나트륨 0.7 mol/l

수소화붕소나트륨 0.7 mol/l

염화연 30 ppm액은 60℃ <실시예1> 100mm 각의 크기의 기판 A를 35℃, 200g/l의 과황산 암모늄 수용액 중에 2분간 침지하고, 구리의 소프트 에칭 처리를 행하여, 구리의 세정면을 노출시켰다. 구리의 표면으로부터 30μm 떨어진 위치에 마이크로미터를 이용하여 에나멜선 선단부를 고정했다. 그때, 이 에나멜선 선단부의 피복은 미리 제거해 두었다.

다음에, 물 세정 후, 기판을 무전해 구리 도금액 중에 침지하고, 구리 표면에 무전해 구리 도금을 행했다. 그때, 에나멜선에는 포텐시오스탯을 이용하여 -350mV(vs.SCE)의 전위를 인가하면서 도금을 행했다. 또, 이 전위는 70℃의 값이고, 무전해 구리 도금의 반응 전위는 -780mV(vs.SCE)로 실패되기 때문에 에나멜선에 인가된 전위는 도금 반응 전위에 비해 +4.3볼트이다.

무전해 구리 도금의 도금 속도는 약 3μm/h이므로, 기판 표면의 구리에서 성장한 도금막이 에나멜선 선단에 접촉하기까지는 약 10시간을 요한다. 그래서, 무전해 구리 도금을 15시간 행했다. 그 결과, 도금 반응은 에나멜선에 접촉한 시점에서 정지해 있고, 도금 막두께는 기판 구리 표면과 에나멜 선의 간격과 거의 동일한 값인 약 30μm였다. 도금이 연속적으로 진행한다고 가정하면, 15시간의 도금에는 도금막 두께는 45μm로 될 것이고, 기판과 에나멜선 사이의 30μm를 크게 상회할 것이지만, 도금 반응은 도금면이 에나멜선에 접촉한 시점에서 정지해 있어, 도금막 두께는 기판과 에나멜선 사이의 거리와 동일한 30μm였다.

이상과 같이, 무전해 도금을 행할 때, 전위를 인가하는 제2 도체와 기판과의 거리를 조정함으로써, 도금 막 두께를 임의로 컨트롤할 수 있다는 것이 명백해졌다.

<실시예2> 100mm 각의 크기의 기판 B의 표면에 에폭시를 주성분으로 하는 두께 75μm의 열경화성 접착필름을 사이에 끼우고, 두께 25 μm의 폴리이미드 필름(편면 구리박 부착, 일립화성공업사제품: MCF-5000I)를 가열 압착했다. 구리박의 두께는 18μm이고, 접착 필름과는 반대측에 오도록 했다. 접착 후, 구리박 표면에 감광성을 갖는 에칭 레지스트(동경화학제품: OFPR-800)를 형성하고, 소정의 노광, 현상 공정에 의해 비아홀을 형성하고 싶은 부분의 레지스트를 제거했다. 다음에, 동박을 에칭에 의해 패터닝하고, 그 후 소정의 박리액을 이용하여 에칭 레지스트를 박리했다.

다음에, 비아홀을 가공했다. 비아홀 가공에는 엑시머 레이저를 이용했다. 폭 20mm의 레이저 광을 기판 표면에서 조사했다. 기판 표면의 동박이 마스크가 되고, 동박의 패터닝된 부분만이 가공되는, 소위 컨포멀(conformal) 마스크법으로 비아홀을 형성했다. 이때 형성한 비아홀은 크기 $\phi 100\mu\text{m}$, 2mm 피치로 합계 2500구멍이다.

비아홀 형성 후, 기판을 무전해 구리 도금액 중에 침지하고, 글래스 에폭시 기판 표면의 구리 패턴을 기점으로 무전해 구리 도금을 행했다. 이때, 포텐시오스탯을 이용하여 기판 표면에 있고 비아홀 형성 시에는 마스크로서 사용한 동박에 $-380\text{mV}(\text{vs. SCE})$ 의 전위를 인가했다. 또, 이 전위는 70°C 에서의 값이고, 무전해 구리 도금의 반응 전위는 $-780\text{mV}(\text{vs. SCE})$ 로 실패되었기 때문에, 표면의 동박에 인가된 전위는 도금 반응 전위에 비해 $+0.4$ 볼트이다.

열경화성 접착 필름과 폴리이미드 필름의 두께의 합계는 약 $100\mu\text{m}$ 이다. 또한, 무전해 구리 도금의 도금 속도는 약 $3\mu\text{m/h}$ 이므로, 글래스 에폭시 기재 표면의 구리 패턴을 기점으로 성장한 구리 도금은 약 33 시간 후에 표면의 구리박에 도달한다. 그래서, 무전해 구리 도금을 40시간 행했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고, 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu\text{m}$ 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알 수 있고, 본 발명의 도금 방법에 본 발명의 목적인, 각 구멍 마다의 도금 두께를 재현성 좋게 균일하게 제어할 수 있는 무전해 도금 방법을 제공한다고 하는 목적을 충분하게 달성할 수 있다는 것을 알았다.

다음에, 동일한 실험을 표면의 동박에 인가하는 전압을 도금 전위에 대해 0.1 볼트, 0.4볼트, 0.7볼트, 1.2볼트, 1.5볼트로 변화시켜 검토했다. 0.1볼트에서는 인가하는 전압이 작기 때문에, 약간 구리가 석출되었다. 그 때문에, 도금액 투입 이전 $18\mu\text{m}$ 의 두께였던 표면의 구리박은 40시간의 도금 종료시에는 약 $34\mu\text{m}$ 로 되어 있었다. 또한, 비아홀을 충전한 구리는 폴리이미드면보다도 평균 약 $2.8\mu\text{m}$ 돌출해 있었다. 즉, 도금 전위에 대해 0.1 볼트의 전압을 인가한 경우에는 도금 반응은 완전하게는 정지하지 않고, 약 $0.4\mu\text{m/h}$ 의 속도로 도금 반응이 진행하고 있다고 생각된다. 본 실시예에서는 33시간에 비아홀이 충전되는 조건에도 불구하고, 40시간이나 도금을 실시했기 때문에, 비아 홀을 충전한 구리는 폴리이미드보다도 평균 약 $2.8\mu\text{m}$ 돌출했지만, 0.1 볼트를 인가한 경우의 도금 속도는 $0.4\mu\text{m/h}$ 로 본래의 도금 속도 $3\mu\text{m/h}$ 에 비해 충분히 지연되기 때문에 도금 시간을 약 35시간 정도로 최적화함으로써 이 문제는 회피할 수 있었다.

인가하는 전압이 도금 전위에 대해 0.4볼트, 0.7볼트의 조건에서는 40시간 도금 후, 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고, 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu\text{m}$ 이하였다.

인가 전압을 도금 전위에 대해 1.2볼트, 1.5볼트로 한 조건에서는 전압을 인가한 동박이 산화했다. 특히, 1.5볼트 인가한 경우에는 동박이 용해하여, 일부 폴리이미드가 노출했다. 그러나, 동박이 남아 있는 부분의 비아홀에서는 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응은 정지해 있었다. 따라서, 이 경우에도 원리적으로는 본 발명의 효과를 발현시키는 것은 가능하다는 것을 알 수 있었다. 구리의 산화 전위나 용해 전위 또는 용해 속도는 도금액의 pH나 온도에 따라 다르므로, 본 실시예와 다른 pH나 온도조건, 또는 제2 도체가 구리 이외인 경우에는 1.5 볼트의 조건에서도 아무 문제가 없는 조건이 찾아질 수 있을 것이다.

이상의 결과에서, 제2 도체에 인가하는 전압은 도금하는 금속이나 제2 도체 금속의 종류·조합에 의해 다르다고 생각될 수 있지만, 0.1~1.5 볼트로 함으로써 본 발명의 효과를 발현시킬 수 있고, 특히 0.4~0.7 볼트 정도로 하는 것이 바람직하다는 것을 알았다.

〈실시예3〉 100mm 각의 크기의 기판 B의 표면에 에폭시를 주성분으로 하는 두께 $75\mu\text{m}$ 의 열경화성 접착필름을 사이에 끼우고, 편면에 두께 $12\mu\text{m}$ 의 동박을 갖는 $25\mu\text{m}$ 의 폴리이미드 필름을 동박이 하측에 오도록 접촉했다. 즉, 기판의 구조는 하측에서 차례로 글래스 에폭시 기재, 에폭시 기재의 동박, 접착재, 폴리이미드 표면의 동박, 폴리이미드이다.

다음에, 비아홀을 가공했다. 가공에는 단(短)펄스 탄산 개스 레이저를 이용하고, 먼저 폴리이미드 표면의 동박까지 직접 가공했다. 그후, 노출한 동박을 화학 에칭하고, 다시 동일한 레이저를 이용하여 글래스 에폭시 기재 표면의 구리에 도달할 때까지 가공했다. 그때, 동시에 기판의 한 모서리(5mm 각 정도)에도 레이저를 조사하여 폴리이미드 표면의 동박을 노출시켰다. 이때 형성한 비아홀은 크기 $\phi 100\mu\text{m}$, 2mm 피치로 합계 2500 구멍이다.

비아홀 형성 후, 기판을 무전해 구리 도금액 중에 침지하고, 글래스 에폭시 기판 표면의 구리 패턴을 기점으로 무전해 구리 도금을 행했다. 이때, 포텐시오스탯을 이용하여, 기판 한 모서리에서 노출시킨 폴리이미드 표면의 동박에 단자를 접촉시켜 전위를 인가했다. 그때의 전위는 $-350\text{mV}(\text{vs. SCE})$ 였다. 또, 이 전위는 70°C 에서의 값이고, 무전해 구리 도금의 반응 전위는 $-780\text{mV}(\text{vs. SCE})$ 로 실패되었기 때문에, 인가된 전위는 도금 반응 전위에 비해 $+0.43$ 볼트이다.

열경화성 접착 필름의 두께는 75 μ m이다. 또한, 무전해 구리 도금의 도금 속도는 약 3 μ m/h이므로, 글래스 에폭시 기재 표면의 구리 패턴을 기점으로 성장한 구리 도금은 약 25 시간 후에 폴리이미드 표면의 구리박에 도달한다. 또한, 글래스 에폭시 기판 상에 형성한 열경화성 접착 필름, 동박 부착 폴리이미드 필름의 합계 두께는 112 μ m이므로, 도금 반응이 연속적으로 진행한다고 가정하면, 약 37.3 시간 후에 도금 구리는 최상면의 폴리이미드 필름 상면에 도달한다. 그래서, 무전해 구리 도금을 40시간 행했다. 그 결과, 2500의 구멍의 비아홀은 모두 폴리이미드 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있었다. 즉, 글래스 에폭시 기재 표면의 구리 패턴에서 열경화성 접착 필름의 두께만큼의 약 75 μ m만 도금되어 있고, 그들의 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu$ m 이하였다.

이와 같이, 표면에는 없고 비아홀의 도중에 있는 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀 내의 도금의 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예4〉 실시예2의 동일한 기판을 이용하고, 동일한 방법으로 비아홀 형성까지 행했다. 비아홀 형성 후, 기판을 무전해 구리 도금액 중에 침지하고, 글래스 에폭시 기판 표면의 구리 패턴을 기점으로 무전해 구리 도금을 행했다. 이때, 미리 도금액 중에는 표면적 2000cm

2의 구리 판을 투입하여 구리판 상에 무전해 구리 도금을 행했다. 기판을 도금액에 침지 후, 포텐시오스탯을 이용하여 기판 표면에 있고 비아홀 형성 시에는 마스크로서 사용한 동박에 미리 투입해 둔 2000cm

2의 구리 판에 대해 +500mV의 전압을 인가했다.

열경화성 접착 필름과 폴리이미드 필름의 두께의 합계는 약 100 μ m이다. 또한, 무전해 구리 도금의 도금 속도는 약 3 μ m/h이므로, 글래스 에폭시 기재 표면의 구리 패턴을 기점으로 성장한 구리 도금은 약 33시간 후에 표면의 구리박에 도달한다. 그래서, 무전해 구리 도금을 40시간 행했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고, 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu$ m 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예5〉 기판 B 대신에 기판 C를 사용한 이외에는 모두 실시예2와 동일한 방법으로 내부를 도금 금속으로 충전한 비아홀을 갖는 기판을 제작했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu$ m 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예6〉 기판 B 대신에 기판 D를 사용한 이외에는 모두 실시예2와 동일한 방법으로 실시했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu$ m 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예7〉 기판 B 대신에 기판 E를 사용하여 실시예2와 동일한 방법으로 비아홀을 형성했다. 그 후, 비아홀 저부의 3층 도체의 최상면에 있는 크롬 층을 18% 염산 수용액에 의해 제거하고, 구리를 노출시켜 무전해 구리 도금액 중에 침지했다. 그 후는 실시예2와 마찬가지로, 표면 동박에 전압을 인가하면서 도금을 행했다.

그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu$ m 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예8〉 기판 B 대신에 기판 F를 사용하여 실시예2와 동일한 방법으로 비아홀을 형성했다. 그 후, 비아홀 저부의 3층 도체의 최상면에 있는 티탄 층을 18% 염산 수용액에 의해 제거하고, 구리를 노출시켜 무전해 구리 도금액 중에 침지했다. 그 후는 실시예2와 마찬가지로, 표면 동박에 전압을 인가하면서 도금을 행했다.

그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu$ m 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예9〉 기판 B 대신에 기판 G를 사용한 이외에는 모두 실시예2와 동일한 방법으로 비아홀 내부를 도금 금속으로 충전했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu\text{m}$ 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예10〉 기판 B 대신에 기판 I를 사용한 이외에는 모두 실시예2와 동일한 방법으로 비아홀 내부를 도금 금속으로 충전했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu\text{m}$ 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예11〉 기판 B 대신에 기판 J를 사용한 이외에는 모두 실시예2와 동일한 방법으로 비아홀 내부를 도금 금속으로 충전했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu\text{m}$ 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예12〉 $\phi 5$ 인치의 기판 K의 표면에 폴리이미드 니스를 스핀 코트하고, 질소 분위기 하에서 400°C 1시간 가열 큐어(cure)한 후, 폴리이미드 표면에 티탄을 $0.05\mu\text{m}$, 다음에 구리를 $3\mu\text{m}$ 스퍼터링에 의해 형성했다. 또, 이때의 폴리이미드층의 두께는 $5\mu\text{m}$ 였다. 형성한 동박 위에 실시예2와 동일한 에칭 레지스트를 형성하고, 노광·현상에 의해 비아홀부만 레지스트를 제거했다. 그 후, 구리, 티탄을 에칭에 의해 패터닝하고, 비아홀 형성부만 구리, 티탄을 제거했다. 다음에, 드라이 에칭에 의해 폴리이미드에 비아홀을 형성했다. 드라이 에칭은 평행 평판형의 드라이 에처(아네루바제플: DEA-506)를 이용하여 출력 800W, 질소 압력 3Pa에서 행했다. 그때 형성한 비아홀의 수는 5000 구멍이고, 그 크기는 $\phi 10\mu\text{m}$ 였다.

그 후, 실시예2 또는 실시예3과 동일한 방법으로 폴리이미드 표면의 구리에 전압을 인가하면서 무전해 구리 도금을 행했다. 도금 시간은 2시간으로 했다. 그 결과, 5000 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 5000 구멍에서 $\pm 2\mu\text{m}$ 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예13〉 기판 K 대신에 기판 L을 사용한 이외에는 모두 실시예12와 동일한 방법으로 비아홀 내부에 도금 금속을 충전했다. 그 결과, 5000 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 5000 구멍에서 $\pm 2\mu\text{m}$ 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예14〉 기판 K 대신에 기판 M을 사용한 이외에는 모두 실시예12와 동일한 방법으로 비아홀의 내부에 도금 금속을 충전했다. 그 결과, 5000 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고 도금 막 두께의 오차는 5000 구멍에서 $\pm 2\mu\text{m}$ 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예15〉 기판 L을 이용하고, 절연층으로서 열산화막을 이용했다. 열산화막 표면에 티탄을 $0.1\mu\text{m}$, 다음에 구리를 $3\mu\text{m}$ 스퍼터링에 의해 형성했다. 또, 이때의 열산화막 두께는 $1\mu\text{m}$ 였다. 형성한 동박 위에 실시예2와 동일한 에칭 레지스트를 형성하고, 노광·현상에 의해 비아홀부만 레지스트를 제거했다. 그 후, 구리, 티탄을 에칭에 의해 패터닝하고, 비아홀 형성부만 구리, 티탄을 제거하고, 식성에 의해 비아홀을 5000 구멍 형성했다. 비아홀의 크기는 $\phi 0.5\mu\text{m}$ 였다. 그 후, 실시예2 또는 실시예3과 동일한 방법으로 열산화막 표면의 구리에 전압을 인가하면서 무전해 구리 도금을 행했다. 도금 시간은 1시간으로 했다. 그 결과, 5000 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있었다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예16〉 기판 B 대신에 기판 H를 사용하고, 실시예1과 동일한 방법으로 비아홀을 형성했다. 그후, 기판을 무전해 Ni-P 도금액 중에 침지하고, 글래스 기판 표면의 니켈 패턴을 기점으로 무전해 니켈 도금을 행했다.

이때, 미리 도금액 중에는 표면적 2000cm²의 니켈 판을 투입하여 니켈 판 상에 무전해 Ni-P 도금을 행했다. 기판을 도금액에 침지 후, 포텐시오스탯을 이용하여 기판 표면에 있고 비아홀 형성 시에는 마스크로서 사용한 동박에 미리 투입해 둔 2000cm

²의 니켈 판에 대해 +500mV의 전압을 인가했다.

열경화성 접착 필름과 폴리이미드 필름의 두께의 합계는 약 100μm이다. 또한, 무전해 Ni-P 도금의 도금 속도는 약 15μm/h이므로, 글래스 에폭시 기재 표면의 니켈 패턴을 기점으로 성장한 Ni-P 도금은 약 6.7 시간 후에 표면의 구리박에 도달한다. 그래서, 무전해 Ni-P 도금을 8시간 행했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고, 도금 막 두께의 오차는 2500 구멍에서 ±1μm 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예17〉 크기 100mm 각의 기판 B를 디메틸아민보란을 10g/l 포함하는 알칼리 수용액 중에 침지하고, 화학산화처리에 의해 거칠게 된 구리 표면을 환원했다. 그후, 기판을 무전해 코발트 도금액 중에 침지하여 구리 표면에 코발트를 0.5μm 도금했다. 다음에, 실시예2와 동일한 방법으로 비아홀 형성까지 행하고, 기판을 무전해 코발트 도금액 중에 침지했다.

이때, 미리 도금액 중에는 표면적 2000cm²의 코발트 피복 강판을 투입하여 코발트 피복 강판 상에 무전해 코발트 도금을 행했다. 기판을 도금액에 침지시킨 다음, 포텐시오스탯을 이용하여 기판 표면에 있으며, 비아홀 형성 시에는 마스크로서 사용하는 동박(銅箔)에 미리 투입해 둔 2000cm

²의 코발트 피복 강판에 대해 +500mV의 전압을 인가했다.

열경화성 접착 필름과 폴리이미드 필름의 두께의 합계는 약 100μm이다. 또한, 무전해 코발트 도금의 도금 속도는 약 15μm/h이므로, 글래스 에폭시 기재 표면의 코발트 도금 구리 패턴을 기점으로 성장한 코발트 도금은 약 6.7 시간 후에 표면의 구리박에 도달한다. 그래서, 무전해 코발트 도금을 8시간 행했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 동박에 접촉된 시점에서 도금 반응이 정지해 있고, 도금 막 두께의 오차는 2500 구멍에서 ±1μm 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 동박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예18〉 기판 B 상에 열경화성 접착 필름을 이용하여 접착하는 폴리이미드 필름으로서 표면에 구리박이 아니라 스테인레스 합금 박을 갖는 것을 이용했다. 스테인레스 합금의 두께는 12μm였다. 실시예2와 마찬가지로, 열경화성 접착 필름을 이용하여 기판 B 상에 접착 후, 스테인레스 합금 박 표면에 감광성을 갖는 에칭 레지스트(동경응화제품: OFPR-800)를 형성하고, 소정의 노광, 현상 공정에 의해 비아홀을 형성하고 싶은 부분의 레지스트를 제거한다. 다음에, 스테인레스 합금 박을 에칭에 의해 패터닝하고, 그후 소정의 박리액을 이용하여 에칭 레지스트를 박리했다.

다음에, 비아홀을 가공했다. 비아홀 가공에는 엑시머 레이저를 이용했다. 폭 20mm의 레이저 광을 기판 표면에서 조사했다. 기판 표면의 스테인레스 합금 박이 마스크가 되어 스테인레스 합금 박의 패터닝된 부분만이 가공되는, 소위 컨포멀마스크법으로 비아홀을 형성했다. 이때 형성한 비아홀은 크기 φ100μm, 2mm 피치로 합계 2500 구멍이다.

비아홀 형성 후, 기판을 무전해 구리 도금액 중에 침지하고, 글래스 에폭시 기판 표면의 구리 패턴을 기점으로 무전해 구리 도금을 행했다.

이때, 미리 도금액 중에는 표면적 2000cm²의 구리 판을 투입하여 구리판 상에 무전해 구리 도금을 행했다. 기판을 도금액에 침지 후, 포텐시오스탯을 이용하여 기판 표면에 있고 비아홀 형성 시에는 마스크로서 사용한 스테인레스 합금 박에 미리 투입해 둔 2000cm

2의 구리 판에 대해 +500mV의 전압을 인가했다.

열경화성 접착 필름과 폴리이미드 필름의 두께의 합계는 약 100 μ m이다. 또한, 무전해 구리 도금의 도금 속도는 약 3 μ m/h이므로, 글래스 에폭시 기재 표면의 구리 패턴을 기점으로 성장한 구리 도금은 약 33 시간 후에 표면의 구리박에 도달한다. 그래서, 무전해 구리 도금을 40시간 행했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 스테인레스 합금 박에 접촉된 시점에서 도금 반응이 정지해 있고, 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu$ m 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 스테인레스 합금 박에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예19〉 기판 B 상에 열경화성 접착 필름을 이용하여 접착하는 폴리이미드 필름으로서 표면에 금속박을 갖지 않는 것을 이용했다. 열경화성 접착 필름을 이용하여 기판 D 상에 접착 후, 폴리이미드 표면에 알루미늄 또는 텅스텐을 1 μ m 스퍼터링에 의해 형성했다. 그 후, 알루미늄 또는 텅스텐 표면에 감광성을 갖는 에칭 레지스트(동경 응화제품: OFPR-800)를 형성하고, 소정의 노광, 현상 공정에 의해 비아홀을 형성하고 싶은 부분의 레지스트를 제거했다. 다음에, 알루미늄 또는 텅스텐을 에칭에 의해 패터닝하고, 그 후 소정의 박리액을 이용하여 에칭 레지스트를 박리했다.

다음에, 비아홀을 가공했다. 비아홀 가공에는 엑시머 레이저를 이용했다. 폭 20mm의 레이저 광을 기판 표면에서 조사했다. 기판 표면의 알루미늄 또는 텅스텐이 마스크가 되어 알루미늄 또는 텅스텐의 패턴링된 부분만이 가공되는, 소위 컨포멀마스크법으로 비아홀을 형성했다. 이때 형성한 비아홀은 크기 $\phi 100\mu$ m, 2mm 피치로 함께 2500 구멍이다.

비아홀 형성 후, 기판을 무전해 구리 도금액 중에 침지하고, 글래스 에폭시 기판 표면의 구리 패턴을 기점으로 무전해 구리 도금을 행했다.

이때, 미리 도금액 중에는 표면적 2000cm²의 구리 판을 투입하여 구리판 상에 무전해 구리 도금을 행했다. 기판을 도금액에 침지 후, 포텐시오스탯을 이용하여 기판 표면에 있고 비아홀 형성 시에는 마스크로서 사용한 알루미늄 또는 텅스텐에 미리 투입해 둔 2000cm

2의 구리 판에 대해 +500mV의 전압을 인가했다.

열경화성 접착 필름과 폴리이미드 필름의 두께의 합계는 약 100 μ m이다. 또한, 무전해 구리 도금의 도금 속도는 약 3 μ m/h이므로, 글래스 에폭시 기재 표면의 구리 패턴을 기점으로 성장한 구리 도금은 약 33 시간 후에 표면의 구리박에 도달한다. 그래서, 무전해 구리 도금을 40시간 행했다. 그 결과, 2500 구멍의 비아홀은 모두 기판 표면의 알루미늄 또는 텅스텐에 접촉된 시점에서 도금 반응이 정지해 있고, 도금 막 두께의 오차는 2500 구멍에서 $\pm 1\mu$ m 이하였다.

이와 같이, 비아홀 가공시 마스크로서 사용한 기판 표면의 알루미늄 또는 텅스텐에 전압을 인가하면서 무전해 도금을 행함으로써, 다수의 비아홀을 충전하는 도금의 막두께를 균일하게 컨트롤할 수 있다는 것을 알았다.

〈실시예20〉 실시예2에서 무전해 구리 도금에 의해 비아홀을 충전한 기판을 사용했다. 그 기판을 10% 황산 수용액 중에 2분간 침지하고 표면을 세정했다. 기판의 이면 전체면을 셀로판 테이프로 보호하고, 그 후 무전해 도금 축매의 팔라듐 콜로이드를 포함하는 일립화성공업(주)의 제품인 증감제HS101B를 포함하는 산성 수용액에 5분간 침지하고, 물 세정을 행한 뒤, 화염산을 주성분으로 하는 촉진 처리액으로 5분간 처리하고, 물 세정 후, 이면의 셀로판 테이플을 박리하여 무전해 도금을 행했다. 도금 시간은 10시간이고, 도금한 구리의 두께는 약 30 μ m였다. 그 결과, 비아홀부에는 도금 후 약 7 μ m 정도의 오목부(凹)만이 남고 현미경 관찰에 의해 비아홀부를 확인할 수 있었다.

본 실시예에서, 본 발명의 목적인 비아홀 내를 금속 충전한 기판으로 다층화를 용이하게 행할 수 있도록 다음 층의 도체층을 형성한 후 기판 표면으로부터 비아홀 부분을 확인할 수 있는 배선판을 제공할 수 있다는 것을 알았다.

〈실시예21〉 실시예19에서 무전해 구리 도금에 의해 비아홀을 충전한 기판을 사용했다. 무전해 구리 도금에 의한 비아홀 충전 후, 17% 염산 수용액 중에 기판을 침지하고 텅스텐을 에칭으로 제거했다. 물 세정 후, 그 기판을 10% 황산 수용액 중에 2분간 침지하고 표면을 세정했다. 기판의 이면 전체면을 셀로판 테이프로 보호하고, 그 후 무전해 도금 축매의 팔라듐 콜로이드를 포함하는 일립화성공업(주)의 제품인 증감제HS101B를 포함하는 산성 수용액에 5분간 침지하고, 물 세정을 행한 뒤, 화염산을 주성분으로 하는 촉진 처리액으로 5분간 처리하고, 물 세정 후, 이면의 셀로판 테이플을 박리하여 무전해 도금을 행했다. 도금 시간은 5시간이고, 도금한 구리의 두께는 약 15 μ m였다. 그 결과, 비아홀부에 도금한 구리 표면은 폴리이미드 상에 도금한 구리 표면보다도 거칠다는 것을 현미경 관찰에 의해 확인할 수 있었다. 따라서, 도금 후에도 현미경 관찰에 의해 비아홀부를 확인할 수 있다는 것을

알았다.

본 실시예에서, 본 발명의 목적인 비아홀 내를 금속 충전한 기판으로 다층화를 용이하게 행할 수 있도록 다음 층의 도체층을 형성한 후 기판 표면으로부터 비아홀 부분을 확인할 수 있는 배선판을 제공할 수 있다는 것을 알았다.

〈실시예22〉 실시예19에서 무전해 구리 도금에 의해 비아홀을 충전한 기판을 사용했다. 무전해 구리 도금에 의한 비아홀 충전 후, 17% 염산 수용액 중에 기판을 침지하고 텅스텐을 에칭으로 제거했다. 물 세정 후, 그 기판을 10% 황산 수용액 중에 2분간 침지하고 표면을 세정했다. 흐르는 물로 세정한 후, 기판을 120℃의 진공건조기 안에서 1시간 건조시켰다. 건조 후, 기판 표면에 스퍼터링에 의해 크롬/구리/크롬의 3층 도체를 0.05/10/0.05μm의 두께로 형성했다.

그 결과, 비아홀부에 형성된 3층 도체 표면은 폴리이미드 상에 형성된 3층 도체 표면보다도 거칠다는 것을 현미경 관찰에 의해 확인할 수 있었다. 따라서, 스퍼터링에 도체형성 후에도 현미경 관찰에 의해 비아홀부를 확인할 수 있다는 것을 알았다.

본 실시예에서, 본 발명의 목적인 비아홀 내를 금속 충전한 기판에서 다층화를 용이하게 행할 수 있도록 다음 층의 도체층을 형성한 후 기판 표면으로부터 비아홀 부분을 확인할 수 있는 배선판을 제공할 수 있다는 것을 알았다.

다음에, 비교를 위해 본 발명을 실시하지 않은 경우의 예를 비교예로서 나타낸다.

〈비교예1〉 실시예2와 마찬가지로 비아홀 가공까지를 행했다. 그 후, 기판을 무전해 도금액 중에 침지했다. 이때, 기판 표면의 동박에는 전위를 인가하지 않았다. 비아홀 저부에 맞닿는 글래스 에폭시 기판 표면이 구리 패턴을 기점으로 무전해 도금 반응은 진행했지만, 동시에 기판 표면의 동박 상에도 무전해 도금 반응은 진행했다. 그 결과, 비아홀이 비아홀 저부에서 석출되어 온 강철로 충전되기 이전에 폐색되어 버렸다. 따라서, 도금 후에 있어도 비아홀부에는 공동이 남아 비아홀을 금속 충전할 수 없었다.

〈비교예2〉 실시예19와 마찬가지로 비아홀 가공까지 행했다. 그 후, 기판 표면의 알루미늄만을 17% 염산을 이용하여 에칭에 의해 제거했다. 다음에 기판을 무전해 도금액 중에 침지했다. 비아홀 저부에 맞닿는 글래스 에폭시 기판 표면의 구리 패턴을 기점으로 무전해 도금 반응은 진행했다.

열경화성 접착 필름과 폴리이미드 필름의 두께의 합계는 약 100μm이다. 또한, 무전해 구리 도금의 도금 속도는 약 3μm/h이므로, 글래스 에폭시 기재 표면의 구리 패턴을 기점으로 성장한 구리 도금은 약 33.3 시간 후에 폴리이미드 이면에 도달한다. 그래서, 무전해 도금을 33.3 시간 행했다.

그 결과, 2500 구멍 중, 10% 이상의 비아홀에서 폴리이미드 이면보다 5μm 이상 막 두께가 오목하게(凹) 되어 있었다. 또한, 2500 구멍에서 폴리이미드 이면으로부터 본 도금 막두께의 오차는 ±8μm 이상이었다.

이상의 비교예에 따르면, 도금 막두께의 제어를 재현성 좋게 행하는 것은 불가능했다.

〈실시예C〉 상술한 실시예 A 및 B에 기초하여 제작한 구체적인 반도체 장치의 응용예를 나타낸다.

본 발명의 비아 스터드 접속형의 박막 다층 기판의 일례를 도 10에 도시한다. 세라믹스 또는 글래스 에폭시로 이루어지는 기판(31) 상에 절연층(예를 들면 폴리이미드 등)(32)을 형성하고, 이 절연층(32)에 비아홀을 형성하며, 금속 배선층(34) 사이를 무전해 도금의 도전성 금속의 충전체로 이루어지는 비아 스터드(33)로 접속하면서 절연층(32)을 적층하고, 상기와 마찬가지로 하여 비아 스터드(33)에서 순차 접속한 금속 배선층(34)을 적층한 박막 다층 배선 기판이다.

도 11은 박막 다층 기판의 제법의 일례를 단면 모식도로 도시한 흐름도이다. 금속 배선층(34)을 갖는 기판(31) 상에 절연층(32)을 형성한다. 그 후, 스퍼터링법에 의해 절연층(32) 상에 크롬을 두께 0.05μm 형성하고, 다음에 구리를 두께 3μm 형성함으로써 도체(36)를 형성한다. 구리 표면에 레지스트(37)를 형성하고, 노광, 현상 공정에 의해 소망하는 패턴을 형성한다. 구리, 크롬으로 이루어지는 도체(36)를 에칭하고, 다음에 레지스트(37)를 제거한다. 패턴된 도체(36)를 마스크로 하여 드라이 에칭에 의해 비아홀(38)을 형성한다. 이때의 드라이 에칭으로서는 산소 플라스마를 이용하고, 개스압이 5Pa 이하인 저압의 조건에서 행했다. 비아홀(38) 형성 후, 기판을 도금 탱크(42) 중의 무전해 구리 도금액(43) 안에 침지하고, 기판 표면의 도체(34)를 기점으로 무전해 구리 도금을 행했다. 이때, 포텐시오스택(40)을 이용하여 도체(36)에 참조 전극(41)을 기준으로 -380mV(vs.SCE)의 전위를 인가했다. 또, 이 전위는 70℃의 값이고, 무전해 구리 도금의 반응 전위는 -780mV(vs.SCE)로 실행되었기 때문에, 도체(36)에 인가된 전위는 도금 반응 전위에 비해 +0.4 볼트이다. 또한, 도면중 39는 결선이다. 절연층(32)의 막두께 이상의 도금 두께가 얻어지게 충분한 시간 무전해 구리 도금 처리를 행했다. 그 결과, 모든 비아홀에서 기판 표면의 도체(36)에 접속된 시점에서 도금 반응이 정지해 있고, 도금 막두께의 오차는 모든 구멍에서 ±1μm 이하였다. 도금 처리 후, 그 기판을 10% 황산 수용액 중에 2분간 침지하고, 표면을 세정했다. 그 후, 무전해 도금 촉매의 팔라듐

콜로이드를 포함하는 일립화성공업(주)의 제품인 증감제 HS101B를 포함하는 산성 수용액에 5분간 침지하고, 물 세정을 행한 후, 회염산을 주성분으로 하는 축진 처리를 5분간 처리하고, 물 세정 후, 무전해 구리 도금을 행하여 도체(44)를 형성하고, 도체(44)를 에칭에 의해 회로로 한다.

이상의 공정에 의해 기판(31) 상에 1층의 박막 배선층이 형성된다. 도 11 중의 (b)~(i) 공정을 반복함으로써 다층화할 수 있다. 이 공정을 5회 반복하여 다층 구조로 한 것이 도 10이다.

또한, 도 12는 본 실시예에서 얻은 박막 다층 배선 기판(54)에 LSI(44)를 탑재한 실장 기판의 모식 단면도이다. 세라믹스 기판(45) 상에 폴리이미드/구리로 이루어지는 박막 배선층을 형성하고, 비아 스타트 접속한 박막 다층 배선 기판(54)에 땀납 범프(46)에 의해 LSI(44)를 탑재 접속했다.

도 13은 본 실시예에 의해 얻어지는 박막 다층 배선 기판을 대형 계산기용 기판에 이용한 실시예를 도시한 모식 단면도이고, 대형 프린트 배선 기판(51) 상에 P인쇄형의 모듈 기판(52)을 탑재한 일례이다.

모듈 기판(52)은 글래스 세라믹스와 구리층과의 다층 소결체로 이루어지고, 하면에 접속 핀(53)이 설치되어 있다. 이 모듈 기판(52) 상에 본 발명으로 되는 박막 다층 배선 기판(54)을 형성하여 땀납 범프(46)에 의해 LSI(44)가 접속 탑재되어 있다.

본 실시예의 실장 기판에 따르면, 배선 총수도 약 1/4로 줄일 수 있고, 배선 밀도를 높일 수 있었다. 또한, 신호 전송 속도를 종래의 것에 비해 약 1.5배 빠르게 할 수 있었다.

본 발명에 따른 박막 다층 배선 기판은 실장의 고밀도화와 배선 길이의 단축에 의한 신호 전송의 고속화를 도모할 수 있다. 또한, 대형 전자계산기용 기판, 워크스테이션용 실장 기판, 비디오 카메라 등의 소형 전자 계산을 위한 실장 기판으로서 우수하다.

발명의 효과

본 발명에 따르면, 비아홀을 도체 금속으로 충전하고 있음에도 불구하고, 그 표면에 다음 층의 도체층을 형성한 후에도 표면에서 비아홀부를 확인할 수 있는 배선판을 얻을 수 있다. 이로 인해, 도체층을 패터닝할 때의 위치 맞춤을 용이하고 정밀도 좋게 행할 수 있다. 또한, 비아홀을 금속으로 충전하는 본 발명의 배선판의 제조 방법에 있어서는 무전해 도금에 의한 비아홀 충전 시에 표면 도체에 무전해 도금 전위보다도 높은 전위를 인가함으로써, 재현성 좋게 도금 막두께를 일정하게 컨트롤할 수 있다.

본 발명에 따르면, 무전해 도금 방법으로 도금 두께를 고정밀도로 제어하는 것이 가능해진다.

(57)청구의 범위

청구항1

절연 기판 상에 제1 도체가 형성되고, 상기 절연 기판 및 상기 제1 도체 상에 절연층이 형성되며, 상기 절연층 상에 제2 도체가 형성되고, 상기 절연층에는 상기 제1 도체와 상기 제2 도체를 전기적으로 접속하기 위한 비아홀(viahole)이 형성되며, 상기 비아홀 내부가 제3 도체에 의해 충전된 구조의 도체 접속부를 갖고, 상기 제2 도체 표면과 상기 제3 도체 표면을 덮는 제4 도체를 갖는 배선판에 있어서,

상기 제3 도체의 표면 상태가 상기 제2 도체와 다르거나, 또는 상기 제3 도체의 표면 상태가 상기 제4 도체의 표면 상태와 다른 것을 특징으로 하는 배선판.

청구항2

절연 기판 상에 제1 도체가 형성되고, 상기 절연 기판 및 상기 제1 도체 상에 절연층이 형성되며, 상기 절연층 상에 제2 도체가 형성되고, 상기 절연층에는 상기 제1 도체와 상기 제2 도체를 전기적으로 접속하기 위한 비아홀이 형성되며, 상기 비아홀 내부가 제3 도체에 의해 충전된 구조의 도체 접속부를 갖고, 상기 제2 도체 표면과 상기 제3 도체 표면을 덮는 제4 도체를 갖는 배선판에 있어서,

상기 제4 도체가 상기 제3 도체 상에서 오목(凹) 형상으로 형성되어 있는 것을 특징으로 하는 배선판.

청구항3

절연 기판 상에 제1 도체가 형성되고, 상기 절연 기판 및 상기 제1 도체 상에 절연층이 형성되며, 상기 절연층 상에 제2 도체가 형성되고, 상기 절연층에는 상기 제1 도체와 상기 제2 도체를 전기적으로 접속하기 위한 비아홀이 형성되며, 상기 비아홀 내부가 제3 도체에 의해 충전된 구조의 도체 접속부를 갖고, 상기 제2 도체 표면과 상기 제

3 도체 표면을 덮는 제4 도체를 갖고 있는 배선판에 있어서,
상기 제3 도체의 표면 거칠기보다도 상기 제4 도체의 표면 거칠기 쪽이 큰 것을 특징으로 하는 배선판.

청구항4

절연 기판 상에 제1 도체가 형성되고, 상기 절연 기판 및 상기 제1 도체 상에 절연층이 형성되며, 상기 절연층 상에 제2 도체가 형성되고, 상기 절연층에는 상기 제1 도체와 상기 제2 도체를 전기적으로 접속하기 위한 비아홀이 형성되며, 상기 비아홀 내부가 제3 도체에 의해 충전된 구조의 도체 접속부를 갖는, 상기 제2 도체 표면과 상기 제3 도체 표면을 덮는 제4 도체를 갖고 있는 배선판에 있어서,

상기 제3 도체가 상기 절연층의 높이와 동등한 높이를 갖는 것을 특징으로 하는 배선판.

청구항5

절연 기판 상에 제1 도체를 갖고, 상기 절연 기판 및 상기 제1 도체 상에 절연층을 갖고 있으며, 상기 절연층 상에 제2 도체를 갖고, 상기 제1 도체와 상기 제2 도체를 전기적으로 접속하기 위한 비아홀이 상기 절연층을 관통하여 형성되어 있으며, 상기 비아홀 내부에 무전해 도금에 의해 제3 도체를 충전하는 배선판의 제조 방법에 있어서,

상기 무전해 도금 시에, 상기 제2 도체에 도금 반응 전위보다도 높은 전위를 인가하는 것을 특징으로 하는 배선판의 제조 방법.

청구항6

표면에 제1 도체를 갖는 절연 기판 상에 절연층을 형성하는 공정과, 상기 절연층 상에 제2 도체를 형성하는 공정과, 상기 제2 도체에 패터닝을 행하는 공정과, 상기 제2 도체를 마스크로 하여 상기 제1 도체 상의 상기 절연층에 비아홀을 형성하는 공정과, 상기 제2 도체에 도금 반응 전위보다도 높은 전위를 인가하면서 상기 비아홀의 저부에 맞닿는 상기 제1 도체 상에 무전해 도금에 의해 상기 비아홀 내부에 금속을 충전하여 제3 도체를 형성하는 공정을 포함하는 것을 특징으로 하는 배선판의 제조 방법.

청구항7

표면에 제1 도체를 갖는 절연 기판 상에, 표면에 제2 도체를 갖는 필름 형상의 절연층을 적층하는 공정과, 상기 제2 도체에 패터닝을 행하는 공정과, 상기 제2 도체를 마스크로 하여 상기 제1 도체 상의 상기 절연층에 비아홀을 형성하는 공정과, 상기 제2 도체에 도금 반응 전위보다도 높은 전위를 인가하면서 상기 비아홀의 저부에 맞닿는 상기 제1 도체 상에 무전해 도금에 의해 상기 비아홀 내부에 금속을 충전하여 제3 도체를 형성하는 공정을 포함하는 것을 특징으로 하는 배선판의 제조 방법.

청구항8

피도금체 표면에 제1 도체와 상기 도체에 대해 전기적으로 절연된 제2 도체가 설치된 상기 제1 도체의 표면에 도체를 무전해 도금에 의해 퇴적시키는 무전해 도금 방법에 있어서,

상기 제2 도체에 도금 반응의 전위보다도 높은 전위를 인가하는 것을 특징으로 하는 무전해 도금 방법.

청구항9

피도금체에 설치된 구멍 또는 홈의 저면에 제1 도체를 갖고, 상기 제1 도체에 대해 전기적으로 절연된 제2 도체가 상기 피도금체의 표면에 있으며, 상기 제1 도체의 표면에 도체를 무전해 도금에 의해 퇴적시키는 무전해 도금 방법에 있어서,

상기 제2 도체에 외부 전원에 의해 도금 반응 전위보다도 높은 전위를 인가하면서 무전해 도금 반응을 행하는 것을 특징으로 하는 무전해 도금 방법.

청구항10

제8항 또는 제9항에 있어서, 상기 제2 도체에 인가하는 전위는 도금 반응의 전위에 대해 +0.1 ~ +1.5 볼트인 것을 특징으로 하는 무전해 도금 방법.

청구항11

표면에 미세 배선 패턴이 형성된 절연층이 복수 적층된 다층 박막 배선 기판과 이 배선 기판의 적어도 한쪽 면에 반도체 소자가 탑재된 모듈에 있어서,

상기 배선 기판이 청구항 제1항 내지 제4항 중의 어느 한 항에 기재된 배선판으로 이루어지는 것을 특징으로 하는 모듈.

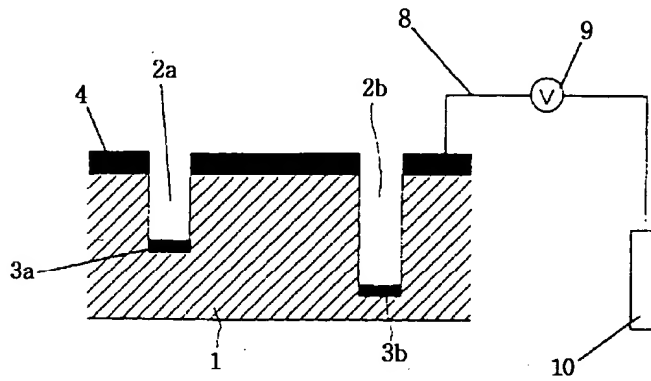
청구항12

프린트 배선 기판 상에 접속 핀을 통해 접속된 모듈 기판이 탑재되고, 상기 모듈 기판 상에 표면에 미세 배선 패턴이 형성된 절연층이 복수 적층된 다층 박막 배선 기판이 탑재되며, 상기 배선 기판 상에 반도체 소자가 탑재되어 있는 대형 계산기 실장(實裝)에 있어서,

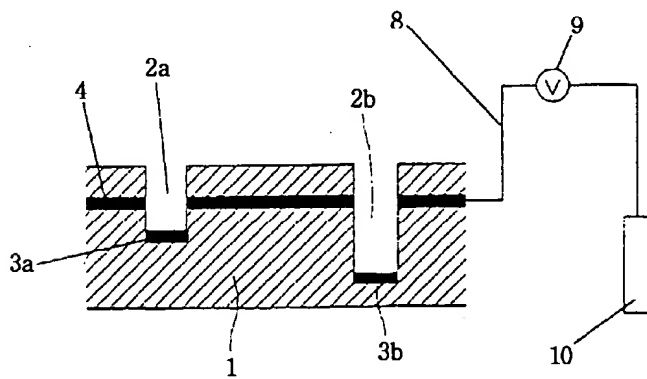
상기 배선 기판이 청구항 제1항 내지 제4항 중의 어느 한 항에 기재된 배선판으로 이루어지는 것을 특징으로 하는 대형 계산기 실장.

도면

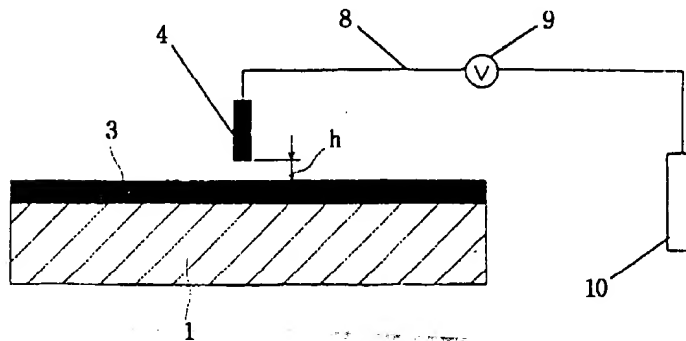
도면1



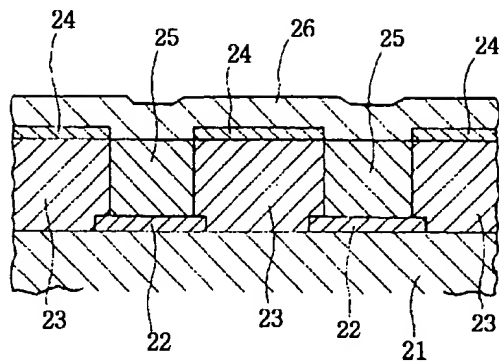
도면2



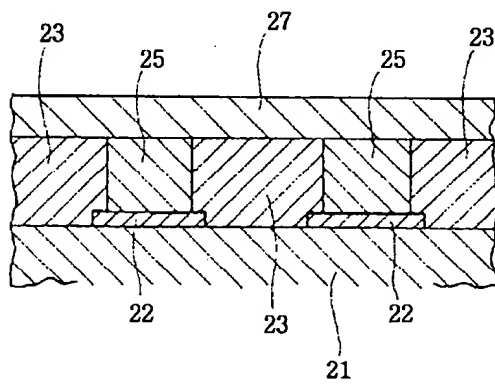
도면3



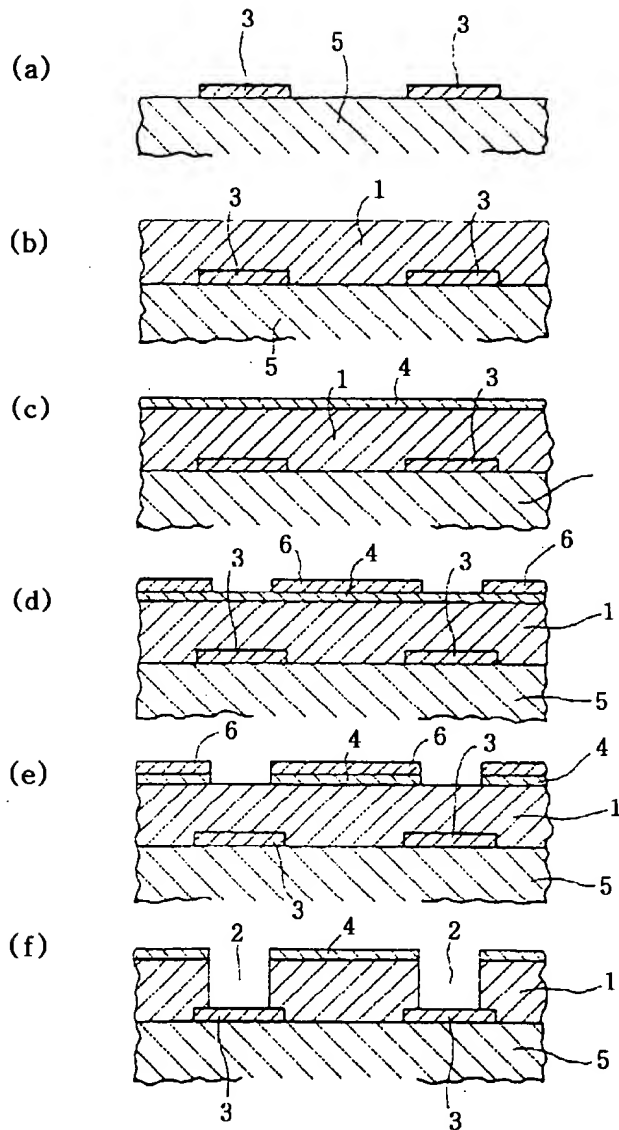
도면4



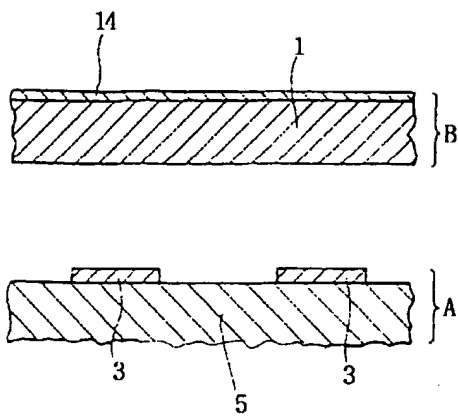
도면5



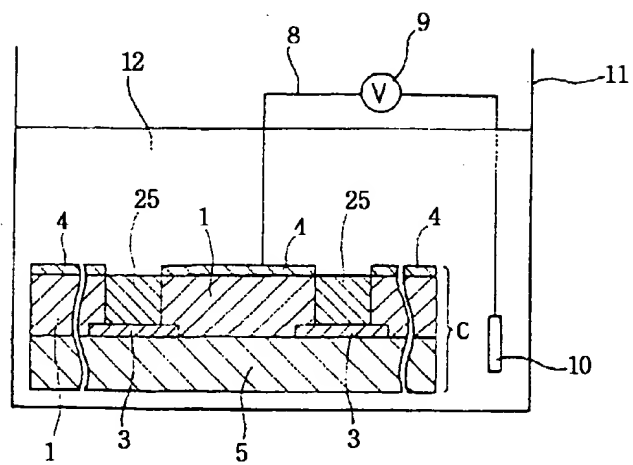
도면6



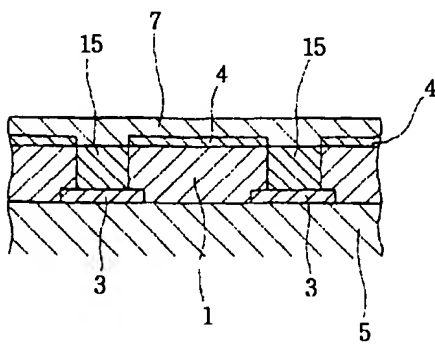
도면 7



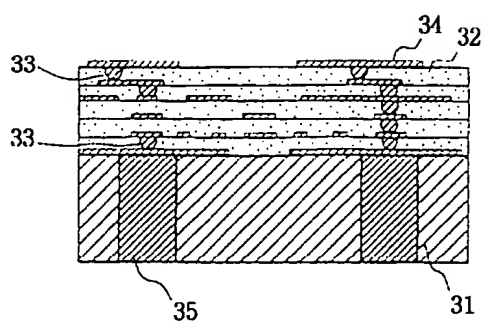
도면8



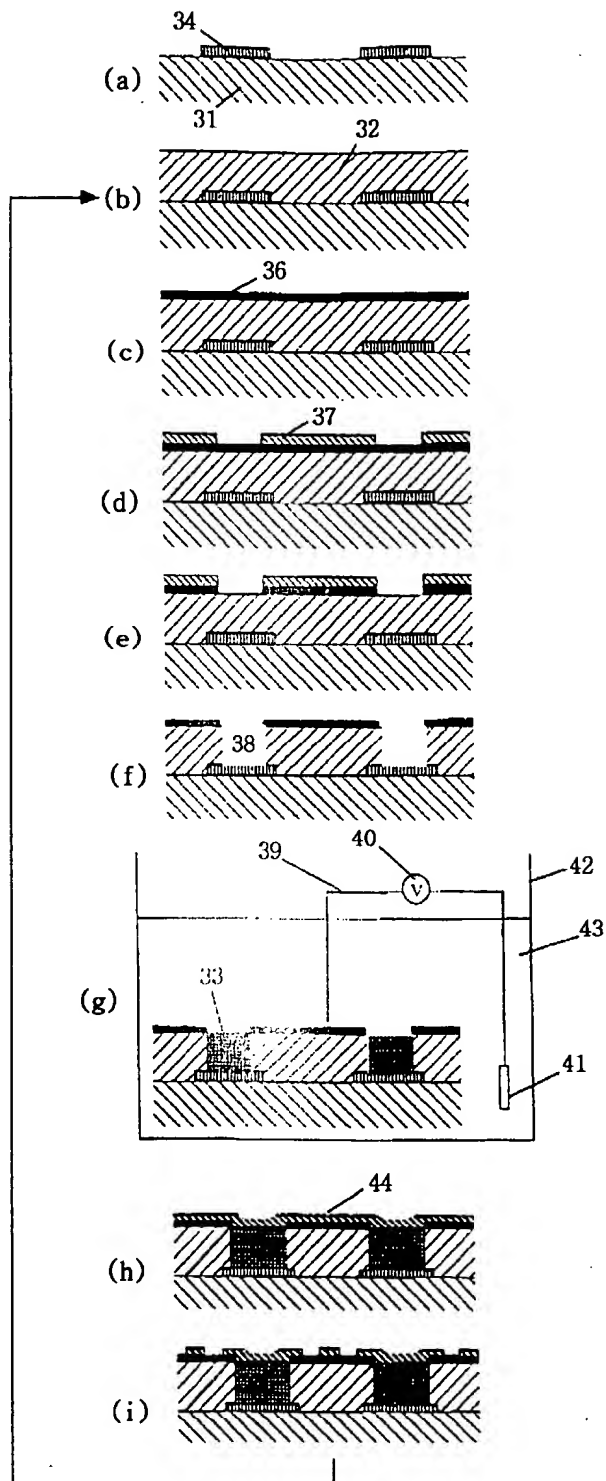
도면9



도면 10

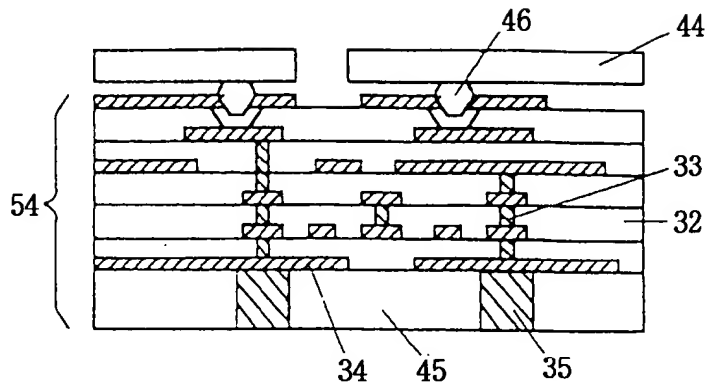


도면11



도면12

BEST AVAILABLE COPY



도면13

